

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003年4月24日 (24.04.2003)

PCT

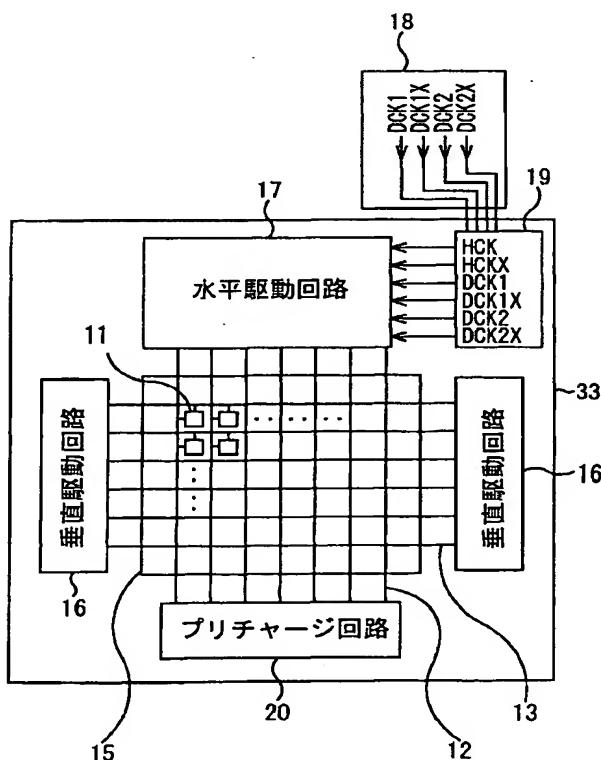
(10) 国際公開番号
WO 03/034395 A1

(51) 国際特許分類:	G09G 3/36, 3/20, G02F 1/133	(71) 出願人(米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
(21) 国際出願番号:	PCT/JP02/10757	
(22) 国際出願日:	2002年10月16日 (16.10.2002)	(72) 発明者; および
(25) 国際出願の言語:	日本語	(75) 発明者/出願人(米国についてのみ): 山下淳一 (YAMASHITA,Junichi) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 内野勝秀 (UCHINO,Katsuhide) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).
(26) 国際公開の言語:	日本語	
(30) 優先権データ: 特願 2001-319264		(74) 代理人: 中村友之 (NAKAMURA,Tomoyuki); 〒105-0001 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所内 Tokyo (JP).
	2001年10月17日 (17.10.2001) JP	
特願 2001-319265	2001年10月17日 (17.10.2001) JP	

[統葉有]

(54) Title: DISPLAY APPARATUS

(54) 発明の名称: 表示装置



17...HORIZONTAL DRIVE CIRCUIT

16...VERTICAL DRIVE CIRCUIT

20...PRE-CHARGE CIRCUIT

(57) Abstract: When performing horizontal drive by the clock drive method, it is possible to realize completely non-overlap sampling and suppress generation of longitudinal stripes and ghost. A horizontal drive circuit (17) includes a shift register for performing shift operation in synchronization with a first clock signal HCK and successively outputting a shift pulse from each shift stage, a first switch group for extracting a second clock signal DCK in response to the shift pulse, and a second switch group for successively sampling an input video signal in response to the second clock signal DCK extracted by switches of the first switch group and supplying it to each signal line (12). An external clock generation circuit (18) is arranged outside a panel (33) and the second clock signal DCK is supplied from outside. An internal clock generation circuit (19) is formed inside the panel (33) and the first clock signal HCK is supplied to the horizontal drive circuit (17) according to the second clock signal DCK.

WO 03/034395 A1

[統葉有]



(81) 指定国(国内): CN, KR, US.

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

本発明は、クロックドライブ方式にて水平駆動を行う際に完全ノンオーバーラップサンプリングを実現し、縦スジ及びゴーストの発生を抑えることを目的とする。

水平駆動回路(17)は、第1のクロック信号HCKに同期してシフト動作を行い各シフト段からシフトパルスを順次出力するシフトレジスタと、該シフトパルスに応答して第2のクロック信号DCKを抜き取る第1のスイッチ群と、入力される映像信号を第1のスイッチ群の各スイッチによって抜き取られた第2のクロック信号DCKに応答して順次サンプリングし各信号ライン(12)に供給する第2のスイッチ群とを有する。外部クロック生成回路(18)がパネル(33)外部に配され、第2のクロック信号DCKを外部から供給する。内部クロック生成回路(19)がパネル(33)内部に形成され、第2のクロック信号DCKに基づいて第1のクロック信号HCKを水平駆動回路(17)に供給する。

明細書

表示装置

5 技術分野

本発明は表示装置に関し、特に水平駆動回路にいわゆるクロックドライブ方式を採用した点順次駆動方式のアクティブマトリクス型表示装置に関する。更には、分割サンプルホールド方式の水平駆動回路にクロックドライブ方式を適用した点順次駆動型のアクティブマトリクス表示装置に関する。

背景技術

表示装置、例えば液晶セルを画素の表示エレメント（電気光学素子）に用いたアクティブマトリクス型液晶表示装置において、点順次駆動方式の水平駆動回路として、例えばクロックドライブ方式を採用した構成のものが知られている。このクロックドライブ方式の水平駆動回路の従来例を第19図に示す。第19図において、水平駆動回路100は、シフトレジスタ101、クロック抜き取りスイッチ群102およびサンプリングスイッチ群103を有する構成となっている。

シフトレジスタ101は、n段のシフト段（転送段）からなり、水平スタートパルスHSTが与えられると、互いに逆相の水平クロックHCK, HCKXに同期してシフト動作を行う。これにより、シフトレジスタ101の各シフト段からは、第20図のタイミングチャートに示すように、水平クロックHCK, HCKXの周期と同じパルス幅を持つシフトパルスVs1～Vs nが順次出力される。これらシフトパルスVs1～Vs nは、クロック抜き取りスイッチ群102の各スイッチ102-1～10

2-n に与えられる。

クロック抜き取りスイッチ群 102 のスイッチ 102-1~102-n は、各一端が水平クロック HCKX, HCK を入力するクロックライン 104-1, 104-2 に交互に接続されており、シフトレジスタ 101 の各シフト段からシフトパルス Vs 1~Vs n が与えられることにより、順次オン状態となって水平クロック HCKX, HCK を順に抜き取る。これら抜き取られた各パルスは、サンプリングパルス Vh 1~Vh n としてサンプリングスイッチ群 103 の各スイッチ 103-1~103-n に与えられる。

サンプリングスイッチ群 103 のスイッチ 103-1~103-n は、映像信号 video を伝送するビデオライン 105 に各一端が接続されており、クロック抜き取りスイッチ群 102 のスイッチ 102-1~102-n で抜き取られて順次与えられるサンプリングパルス Vh 1~Vh n に応答して順にオン状態になることによって映像信号 video をサンプリングし、画素アレイ部（図示せず）の信号ライン 106-1~106-n に供給する。

上述した従来例に係るクロックドライブ方式の水平駆動回路 100 では、水平クロック HCKX, HCK がクロック抜き取りスイッチ群 102 の各スイッチ 102-1~102-n で抜き取られ、サンプリングスイッチ群 103 の各スイッチ 103-1~103-n に対してサンプリングパルス Vh 1~Vh n として与えられるまでの伝送過程において、配線抵抗や寄生容量などに起因してパルスに遅延が生じる。

すると、この伝送過程でのパルスの遅延によって、サンプリングパルス Vh 1~Vh n の波形になまりが生じる。その結果、例えば 2 段目のサンプリングパルス Vh 2 に着目すると、特に第 21 図のタイミングチャートから明らかなように、2 段目のサンプリングパルス Vh 2 とその

前後の 1 段目、3 段目のサンプリングパルス V_{h1} , V_{hn} との間に波形のオーバーラップが生じる。

ところで、一般的に、サンプリングスイッチ群 103 の各スイッチ 103-1～103-n がオンする瞬間に、ビデオライン 105 には信号ライン 106-1～106-n との電位の関係から、第 21 図に示すように充放電ノイズが乗ってしまう。

このような状況下において、上述したように、サンプリングパルス V_{h2} が前後の段間でオーバーラップしていると、サンプリングパルス V_{h2} に基づく 2 段目のサンプリングタイミングでは、3 段目のサンプリングスイッチ 103-3 がオンすることによって生じる充放電ノイズをサンプリングしてしまう。なお、サンプリングスイッチ 103-1～103-n は、サンプリングパルス $V_{h1} \sim V_{hn}$ が "L" レベルになるタイミングでビデオライン 105 の電位をサンプルホールドすることになる。

このとき、ビデオライン 105 に乗る充放電ノイズにばらつきが生じ、またサンプリングパルス $V_{h1} \sim V_{hn}$ の各々が "L" レベルになるタイミングにもばらつきが生じるため、サンプリングスイッチ 103-1～103-n によるサンプリング電位にもばらつきが生じる。その結果、このサンプリング電位のばらつきが表示画面上に縦スジとなって現れ、画品位を損なうことになる。

一方、点順次駆動方式のアクティブマトリクス型液晶表示装置では、高精細化に伴って特に水平方向の画素数が増えると、1 系統で入力される映像信号 video を、限られた水平有効期間内で全画素について順番にサンプリングするためのサンプリング時間を十分に確保するのが難しくなる。そこで、サンプリング時間を十分に確保するため、第 22 図に示すように、映像信号を m 系統 (m は 2 以上の整数) で並行して入力する一方、水平方向の m 個の画素を単位として m 個のサンプリングスイ

ッチを設け、1つのサンプリングパルスでm個のサンプリングスイッチを同時に駆動することによってm画素単位で順次書き込みを行う方式が採られることになる。

ここで、単位画素数m以下の幅を持つ細い黒線を表示する場合を考える。このような黒線表示を行う場合に、映像信号videoは、第23図(A)に示すように、黒レベルの部分がパルス状になり、またそのパルス幅がサンプリングパルス(B)のパルス幅と等しい波形として入力される。このパルス状の映像信号videoは矩形波が理想的であるが、映像信号videoを伝送するビデオラインの配線抵抗や寄生容量などに起因して、第23図(C)に示すように、パルス波形の立ち上がりや立ち下がりがなまってしまう(映像信号video')。

このように、立ち上がりや立ち下がりがなまったパルス状の映像信号video'をサンプリングパルスVh1～Vhnでサンプルホールドを行うと、本来k段目のサンプリングパルスVhkでパルス状の映像信号video'をサンプルホールドする筈が、前段のサンプリングパルスVhk-1で映像信号videoの立ち上がり部分をサンプルホールドしたり、あるいは次段のサンプリングパルスVhk+1で映像信号video'の立ち下がり部分をサンプルホールドすることになる。その結果、ゴーストが発生する。ここで、ゴーストとは、正規の画像からずれて重複して生じる望ましくない妨害像を言う。

サンプリングパルスVhkに対する映像信号video'(以下、単に映像信号videoと記す)の位相関係は、映像信号videoを処理する回路において、映像信号videoの時間軸上の位置、即ちサンプルホールドポジションを調整することにより、第24図に示すように、例えばS/H=0～5の6段階に変更することができる。

ここで、サンプルホールドによるゴースト発生依存について述べる。

先ず、 $S/H = 1$ のときについて考える。 $S/H = 1$ のときの映像信号 v_{ideo} とサンプリングパルス V_{hk-1} , V_{hk} , V_{hk+1} との位相関係および信号ラインの電位変化を第 25 図に示す。 $S/H = 1$ では、サンプリングパルス V_{hk} によってパルス状の映像信号 v_{ideo} がサンプルホールドされることにより、 k 段目の信号ラインに黒信号が書き込まれ、黒線が表示される。

しかし同時に、映像信号 v_{ideo} の黒信号部（パルス部）が $k-1$ 段目のサンプリングパルス V_{hk-1} とオーバーラップしているため、 $k-1$ 段目の信号ラインにも黒信号が書き込まれる。これにより、第 26 図に示すように、 $k-1$ 段目の位置、即ち水平スキャン手前方向にゴーストが発生してしまう。同様に、 $S/H = 0$ でも、 $k-1$ 段目のサンプリングパルス V_{hk-1} と映像信号 v_{ideo} の黒信号部とがオーバーラップしており、水平スキャン手前方向にゴーストが発生してしまう。

次に、 $S/H = 5$ のときについて考える。 $S/H = 5$ のときの映像信号 v_{ideo} とサンプリングパルス V_{hk-1} , V_{hk} , V_{hk+1} との位相関係および信号ラインの電位変化を第 27 図に示す。 $S/H = 5$ では、映像黒信号は $k+1$ 段目のサンプリングパルス V_{hk+1} とオーバーラップしてしまう。 $k+1$ 段目の信号ラインには、サンプリングスイッチがオンしたときに黒信号が書き込まれ、その後はグレーレベルまで戻ろうとする。しかし、オーバーラップ量が大きいため、信号ラインの電位はグレーレベルまでは戻りきらない。そのため、第 28 図に示すように、 $k+1$ 段目の位置、即ち水平スキャン後ろ方向にゴーストが発生してしまう。

$S/H = 1 \sim 4$ でも $S/H = 5$ のときと同様に、 $k+1$ 段目のサンプリングパルス V_{hk+1} と映像黒信号部とはオーバーラップしており、サンプリングスイッチがオンしたときに信号ラインに黒信号が書き込ま

れる。しかし、 $S/H = 5$ のときに比べてオーバーラップ量が小さく、書き込まれる黒レベルが低いため、信号ラインの電位はグレーレベルまで戻りきることができる。したがって、ゴーストは発生しない。

上述したようなプロセスにて、映像信号 video とサンプリングパルスとのオーバーラップに起因してゴーストが発生する。ここで、 $S/H = 2, 3, 4$ のように前後どちらにもゴーストが発生しないサンプルホールドポジションの数をゴーストに対するマージン（以下、ゴーストマージンと称す）とする。

このように、ビデオラインの配線抵抗や寄生容量などに起因して、パルス状の映像信号 video の立ち上がりや立ち下がりに生じる波形のなまりの問題は避けられなくても、映像信号 video を処理する回路部分において、最適なサンプルホールドポジションを設定することにより、ゴーストの発生を回避することができる。

しかしながら、ビデオラインの配線抵抗や寄生容量などに起因して、パルス状の映像信号 video の立ち上がりや立ち下がりに波形のなまりが生じることにより、当該映像信号 video のパルス波形部分が前段あるいは次段のサンプリングパルスとオーバーラップしてしまうため、その分だけゴーストマージンを大きくとれることになる。上記の例では、ゴーストマージンが $S/H = 2, 3, 4$ の 3 つとなる。

次に、分割サンプルホールド方式の水平駆動回路にクロックドライブ方式を適用した従来の点順次駆動型のアクティブマトリクス表示装置につき、触れる。従来のアクティブマトリクス方式の表示装置は、行状のゲートライン、列状の信号ライン及び両ラインが交差する部分にマトリクス状に配された画素を有するパネルで構成されている。各画素にはアクティブ素子として例えば薄膜トランジスタ（TFT）が形成されている。更に垂直駆動回路と水平駆動回路を備えている。垂直駆動回路は、

各ゲートラインに接続し順次画素の行を選択する。水平駆動回路は、各信号ラインに接続し、選択された行の画素に映像信号を書き込む。その際、点順次駆動方式では、選択された行の画素に点順次で映像信号を書き込んでいく。

5 アクティブマトリクス型の表示装置では、TFTのソース／ドレイン電極と信号ラインの各々との間に寄生容量が存在している。この寄生容量により、ある信号ラインを通した映像信号の書き込み時の電位変化が隣の信号ラインに飛び込むことによって縦筋などの画像不良が発生する場合がある。この縦筋不良は、特にライン反転駆動方式で市松パターンを表示した時に顕著となる。あるいは、ライン反転駆動方式で、太さが
10 1 ドット（1画素）分の横線を表示した時縦筋が発生し易い。
15

この信号ライン間における映像信号の飛び込みを防止する為に、いわゆる分割サンプルホールド駆動が提案されており、例えば特開2000-267616号公報に開示されている。分割サンプルホールド方式は、
15 入力映像信号を2系統に分離し、点順次方式で映像信号を書き込む際、隣接する画素同士で2系統の映像信号をオーバーラップさせながら書き込む方式である。

第29図は、上述した分割サンプルホールド駆動を採用した表示装置の一例を示す模式図である。図示する様に、表示装置は行状のゲートライン113、列状の信号ライン112、両ラインが交差する部分に行列状に配された画素111及び所定の位相関係で2系統に分けた映像信号Video1, Video2を供給する2本の映像ライン125, 126を有するパネルで構成されている。又、サンプリングスイッチ群123が各信号ライン112に対応して配されており、2本の信号ラインを
25 単位として2本の映像ラインの各々との間に接続されている。具体的には、一番目の信号ラインがサンプリングスイッチを介して一方の映像ラ

イン 125 に接続し、二番目の信号ラインが同じくサンプリングスイッチを介して他方の映像ライン 126 に接続している。以下、3 番目以降の信号ラインについても交互にサンプリングスイッチを介して 2 本の映像ライン 125, 126 に接続している。パネルには更に垂直駆動回路 116 及び水平駆動回路 117 も形成されている。垂直駆動回路 116 は各ゲートライン 113 に接続し、順次画素 111 の行を選択する。換言すると、マトリクス状に配された画素 111 は行単位で順次選択されていく。水平駆動回路 117 は所定の周期のクロック信号に基づいて動作し、サンプリングスイッチ群 123 の各スイッチのうち、同一の映像ラインに接続されたスイッチに対してはオーバーラップさせず、隣接するスイッチに対してはオーバーラップさせたサンプリングパルス A, B, C, D … を順次発生して各スイッチを順に開閉駆動し、もって選択された行の画素 111 に点順次で映像信号を書き込む。表示装置は更にクロック生成回路 189 を備えており、水平駆動回路 117 の動作基準となるクロック信号 HCK の他、スタートパルス HST を供給している。水平駆動回路 117 はシフトレジスタ (S/R) 121 の多段接続からなり、HCK に応じて HST を順次転送することで、前述したサンプリングパルス A, B, C, D … を順次発生している。

第 30 図の波形図を参照して、第 29 図に示した従来の表示装置の動作を簡潔に説明する。前述した様に、水平駆動回路はクロック信号 HCK に応じて動作し、スタートパルス HST を順次転送することで、サンプリングパルス A, B, C, D … を生成している。図から明らかな様に、隣接する信号ライン間では、サンプリングパルスが互いにオーバーラップしている。即ち、第 1 の信号ラインに対応したサンプリングパルス A は、第 2 の信号ラインに対応したサンプリングパルス B とオーバーラップしている。同様に、第 2 の信号ラインに対応したサンプリング

パルスBと第3の信号ラインに対応したサンプリングパルスCもオーバーラップしている。互いに隣接する信号ラインに対しては別々の映像ラインから映像信号が供給される為、オーバーラップさせても差し支えない。隣接する信号ラインのサンプリングスイッチに対して、オーバーラップさせる様にサンプリングパルスを生成することで、従来から問題となっていた縦筋不良を防ぐことができる。即ち、各画素トランジスタのソース／ドレイン電極と信号ラインの各々との間に寄生容量が存在し、この寄生容量を介してある信号ラインの電位変化が隣の信号ラインに飛び込んだとしても、その信号ラインがオーバーラップサンプリングによりローインピーダンスである為、映像信号の飛び込みの影響を受けることはない。

図示の例では、サンプリングパルスAに応答して、対応する第1の信号ラインに信号電位 S_{ig1} がサンプルホールドされる。続いてサンプリングパルスBに応答し、第2の信号ラインに信号電位 S_{ig2} がサンプルホールドされる。この時、第2の信号ラインで電位変化が生じる。この電位変化は、寄生容量によって第1の信号ラインにも飛び込むが、この時第1の信号ラインはまだ対応するサンプリングスイッチが開いている為、ローインピーダンスとなっており信号の飛び込みの影響を受けることがない。

第31図は、各信号ラインに対する映像信号のサンプリングタイミングと、各映像ラインの電位変化を模式的に表わしている。基本的には、同一の映像ラインに接続されたサンプリングスイッチに対しては、オーバーラップさせない様にサンプリングパルスを生成している。例えば、1番目の信号ラインと3番目の信号ラインは同一の映像ラインに接続している。従って、サンプリングパルスAとサンプリングパルスCは原理的には重ならない様に回路設計されている。しかし、現実にはパルスの

伝送過程において配線抵抗や寄生容量などに起因して遅延が生じ、波形に鈍りが現われる。この結果、サンプリングパルスAとサンプリングパルスCでは部分的なオーバーラップが生じている。この様な状態で、サンプリングパルスCが立ち上がると対応するサンプリングスイッチが開
5 き、信号ラインに対する充放電が生ずる為、実線矢印で示す様に映像ライン上の映像信号Video1に電位揺れが生じる。この時、先発のサンプリングパルスAは未だ立ち下がり切っていないので、点線矢印で示す様に映像ラインの電位揺れ（充放電ノイズ）を拾ってしまう。この結果信号ラインにサンプリングされた電位のばらつきが生じ、画面上では
10 縦筋となって画品位を損なうことになる。又、同一の映像ラインに接続された信号ライン間におけるこの様な映像信号の干渉によって、画面上にはゴーストなどが引き起こされる場合がある。

発明の開示

15 本発明は、上記課題に鑑みてなされたものであり、第1の目的とするところは、クロックドライブ方式にて水平駆動を行う際に完全ノンオーバーラップサンプリングを実現することで、オーバーラップサンプリングに起因する縦スジの発生を抑えるとともに、ゴーストマージンを大きく設定できるようにした表示装置を提供することにある。

20 また本発明は、いわゆる分割サンプルホールド方式を採用したアクティプマトリクス型の表示装置において、同一の映像ラインに接続した信号ライン間で生じる映像信号の干渉を抑制し、もって縦筋やゴーストなどの画像不良を抑制することを第2の目的とする。

25 上述した本発明の第1の目的を達成する為に以下の手段を講じた。即ち、本発明に係る表示装置は、行状のゲートライン、列状の信号ライン及び両者が交差する部分に行列状に配された画素を有するパネルと、該

ゲートラインに接続し順次画素の行を選択する垂直駆動回路と、該信号
ラインに接続するとともに所定の周期のクロック信号に基づいて動作し、
選択された行の画素に順次映像信号を書き込む水平駆動回路と、該水平
駆動回路の動作基準となる第1のクロック信号と、この第1のクロック
5 信号に対して周期が同じでかつデューティ比が小さい第2のクロック信
号を生成するクロック生成手段とからなり、前記水平駆動回路は、前記
第1のクロック信号に同期してシフト動作を行い各シフト段からシフト
パルスを順次出力するシフトレジスタと、前記シフトレジスタから順次
出力される前記シフトパルスに応答して前記第2のクロック信号を抜き
10 取る第1のスイッチ群と、入力される映像信号を前記第1のスイッチ群
の各スイッチによって抜き取られた前記第2のクロック信号に応答して
順次サンプリングし各信号ラインに供給する第2のスイッチ群とを有し、
前記クロック生成手段は、パネルの外部に配され該第2のクロック信号
を外部から供給する外部クロック生成回路と、パネルの内部に形成され
15 該第2のクロック信号に基づいて該第1のクロック信号を該水平駆動回
路に供給する内部クロック生成回路とに分かれていることを特徴とする。

具体的には、前記内部クロック生成回路は、該外部クロック生成回路
から供給された第2のクロック信号を処理して該第1のクロック信号を
生成するためD型フリップフロップを含む。この場合、前記D型フリッ
20 プフロップは、複数のNAND素子で構成されている。一方、前記外部
クロック生成回路は、該第2のクロック信号のデューティ比を可変調整
可能である。

上記の構成において、第1のスイッチ群の各スイッチは、シフトレジ
スタから第1のクロック信号に同期して順次出力されるシフトパルスに
25 応答して第2のクロック信号を順に抜き取る。これにより、第2のスイ
ッチ群には、第1のクロック信号よりもデューティ比が小さい第2のク

ロック信号がサンプリング信号として与えられる。そして、第2のスイッチ群の各スイッチは、これらサンプリング信号に応答して入力映像信号を順次サンプルホールドし、画素部の信号ラインに供給する。このとき、サンプリング信号のデューティ比が第1のクロック信号に比べて小さいことで、完全ノンオーバーラップサンプリングを実現できる。

特に本発明では、クロック生成手段を外部クロック生成回路と内部クロック生成回路とに分けている。外部クロック生成回路は第2のクロック信号を供給する一方、内部クロック生成回路は第1のクロック信号を生成する。これにより、外部からパネルに入力するクロック信号の数を減らすことができる。その分、パネルに形成する外部接続用の端子や配線を簡略化することが可能である。その際、外部クロック生成回路は第2のクロック信号のパルス幅を可変調整できる。これに対し、内部クロック生成回路はパルス幅が一定な第1のクロック信号を生成する。完全ノンオーバーラップサンプリングにより、縦スジの発生を抑えるとともに、ゴーストマージンを大きく設定する為には、第2のクロック信号のパルス幅を最適に設定する必要がある。その場合、外部クロック生成回路は比較的自由に回路構成を行なうことができ、パルス幅可変のクロック信号を生成する為には好適である。一方、水平駆動回路の動作に用いる第1のクロック信号はパルス幅を固定にして差し支えない。従って、第1のクロック信号を生成する内部クロック生成回路は比較的簡単な回路構成でよく、パネルに内蔵するには好適である。

また、本発明の第2の目的を達成するために以下の手段を講じた。すなわち、本発明に係る表示装置は、行状のゲートライン、列状の信号ライン、両ラインが交差する部分に行列状に配された画素及び所定の位相関係でn系統（nは2以上の整数）に分けた映像信号を供給するn本の映像ラインを有するパネルと、該ゲートラインに接続し順次画素の行を

選択する垂直駆動回路と、各信号ラインに対応して配されており、 n 本の信号ラインを単位として該 n 本の映像ラインの各々との間に接続されたサンプリングスイッチ群と、所定の周期のクロック信号に基づいて動作し、前記サンプリングスイッチ群の各スイッチのうち、同一の映像ラインに接続されたスイッチに対してはオーバーラップさせず、隣接するスイッチに対してはオーバーラップさせたサンプリングパルスを順次発生して各スイッチを順に駆動し、もって選択された行の画素に順次映像信号を書き込む水平駆動回路と、該水平駆動回路の動作基準となる第1のクロック信号を生成するとともに、この第1のクロック信号に対してパルス幅が長い第2のクロック信号を生成するクロック生成手段とからなり、前記水平駆動回路は、前記第1のクロック信号に同期してシフト動作を行い各シフト段からシフトパルスを順次出力するシフトレジスタと、前記シフトレジスタから順次出力される前記シフトパルスに応答して前記第2のクロック信号を抜き取って該サンプリングパルスを順次生成する抜取スイッチ群とを有することを特徴とする。

好ましくは、前記クロック生成手段は、パネルの外部に配され該第1のクロック信号を外部的に該水平駆動回路に供給する外部クロック生成回路と、パネルの内部に形成され該第2のクロック信号を内部的に該水平駆動回路に供給する内部クロック生成回路とに分かれている。この場合、前記内部クロック生成回路は、該外部クロック生成回路から供給された第1のクロック信号を処理して該第2のクロック信号を生成する。具体的には、前記内部クロック生成回路は、第1のクロック信号を遅延処理する遅延回路を含んでおり、遅延処理が施される前の第1のクロック信号と遅延処理された後の第1のクロック信号とにより該第2のクロック信号を生成する。この場合、前記遅延回路は、直列接続された偶数個のインバータからなる。又、前記内部クロック生成回路は、遅延処理

を施される前の第1のクロック信号と遅延処理された後の第1のクロック信号とを互いにNOR合成して該第2のクロック信号を生成するNOR回路を有する。

かかる構成によれば、分割サンプルホールド駆動を採用した表示装置
5において、水平駆動回路から出力されたシフトパルスを別のクロック信号で抜き取り、サンプリングパルスを生成している。この様なクロックドライブ方式を導入することで、隣り合う信号ライン間のサンプリングパルスではオーバーラップを保ちつつ、1本おきに同一の映像ラインに接続した信号ライン間ではサンプリングパルス同士の完全ノンオーバー
10ラップを実現している。

図面の簡単な説明

第1図は、本発明の第1面に係る表示装置の基本的な構成を示すブロック図である。

15 第2図は、表示装置の参考例を示す模式的なブロック図である。

第3図は、表示装置の他の参考例を示す模式的なブロック図である。

第4図は、第1図に示した表示装置に組み込まれる内部クロック生成回路の具体的な構成例を示すブロック図である。

第5図は、第4図に示した内部クロック生成回路の動作説明に供する
20タイミングチャートである。

第6図は、本発明の一実施形態に係る点順次駆動方式のアクティブマトリクス型液晶表示装置の構成例を示す回路図である。

第7図は、水平クロックHCK, HCKXとクロックDCK1, DCK2とのタイミング関係を示すタイミングチャートである。

25 第8図は、本実施形態に係るクロックドライブ方式水平駆動回路の動作説明のためのタイミングチャートである。

第9図は、本実施形態に係るクロックドライブ方式水平駆動回路における映像信号のサンプリング動作時のタイミングチャートである。

第10図は、 $S/H = 0 \sim 5$ のサンプルホールドポジションをとる映像信号 v_{video} と完全ノンオーバーラップのサンプリングパルス $V_{hk-1}, V_{hk}, V_{hk+1}$ との位相関係を示すタイミングチャートである。

第11図は、 $S/H = 1$ のときの映像信号 v_{video} と完全ノンオーバーラップのサンプリングパルス $V_{hk-1}, V_{hk}, V_{hk+1}$ との位相関係および信号ラインの電位変化を示すタイミングチャートである。

第12図は、 $S/H = 5$ のときの映像信号 v_{video} と完全ノンオーバーラップのサンプリングパルス $V_{hk-1}, V_{hk}, V_{hk+1}$ との位相関係および信号ラインの電位変化を示すタイミングチャートである。

第13図は、本発明の第2面に係る表示装置の基本的な構成を示すブロック図である。

第14図は、第13図に示した表示装置の動作説明に供する波形図である。

第15図は、第13図に示した表示装置の具体的な構成例を示すブロック図である。

第16図は、第15図に示した表示装置に組み込まれる内部クロック生成回路の具体的な構成例を示すブロック図である。

第17図は、第16図に示した内部クロック生成回路の動作説明に供するタイミングチャートである。

第18図は、本発明の一実施形態に係る点順次駆動方式のアクティブマトリクス型液晶表示装置の構成例を示す回路図である。

第19図は、従来例に係るクロックドライブ方式水平駆動回路の構成の一例を示すブロック図である。

第20図は、従来例に係るクロックドライブ方式水平駆動回路の動作説明のためのタイミングチャートである。

第21図は、従来例に係るクロックドライブ方式水平駆動回路における映像信号のサンプリング動作時のタイミングチャートである。

5 第22図は、映像信号をm系統で並行して入力する場合のサンプリングスイッチ群の構成を示す図である。

第23図は、パルス状の映像信号になまりが生じた状態を示す波形図である。

10 第24図は、 $S/H = 0 \sim 5$ のサンプルホールドポジションをとる映像信号 v_{video} とオーバーラップしたサンプリングパルス V_{hk-1} , V_{hk} , V_{hk+1} との位相関係を示すタイミングチャートである。

第25図は、 $S/H = 1$ のときの映像信号 v_{video} とオーバーラップしたサンプリングパルス V_{hk-1} , V_{hk} , V_{hk+1} との位相関係および信号ラインの電位変化を示すタイミングチャートである。

15 第26図は、水平スキャン手前方向にゴーストが生じた状態を示す図である。

第27図は、 $S/H = 5$ のときの映像信号 v_{video} とオーバーラップしたサンプリングパルス V_{hk-1} , V_{hk} , V_{hk+1} との位相関係および信号ラインの電位変化を示すタイミングチャートである。

20 第28図は、水平スキャン後ろ方向にゴーストが生じた状態を示す図である。

第29図は、従来の表示装置の一例を示すプロック図である。

第30図は、第29図に示した従来の表示装置の動作説明に供する波形図である。

25 第31図は、第29図に示した従来の表示装置の動作説明に供する波形図である。

発明を実施するための最良の形態

以下、本発明の実施の形態について図面を参照して詳細に説明する。

第1図は、本発明の第1面に係る表示装置の基本的な構成を示す模式的なブロック図である。図示する様に、本表示装置は画素アレイ部15、垂直駆動回路16及び水平駆動回路17などを集積的に形成したパネル33で構成されている。画素アレイ部15は、行状のゲートライン13、列状の信号ライン12及び両者が交差する部分に行列状に配された画素11とで構成されている。垂直駆動回路16は左右に分かれて配されており、ゲートライン13の両端に接続して、順次画素11の行を選択する。水平駆動回路17は信号ライン12に接続するとともに所定の周期のクロック信号に基づいて動作し、選択された行の画素11に順次映像信号を書き込む。更に本表示装置はクロック生成手段を備えており、水平駆動回路17の動作基準となる第1のクロック信号HCK, HCKXと、この第1のクロック信号HCK, HCKXに対して周期が同じで且つデューティ比が小さい第2のクロック信号DCK1, DCK1X, DCK2, DCK2Xを生成する。尚、HCKXはHCKの反転信号である。同様に、DCK1XはDCK1の反転信号であり、DCK2XはDCK2の反転信号である。又、各信号ライン12にはプリチャージ回路20が接続しており、映像信号の書き込みに先立ってプリチャージを行ない、画質を改善する。

本発明の特徴事項として、水平駆動回路17はシフトレジスタと第1のスイッチ群と第2のスイッチ群とを有する。シフトレジスタは第1のクロック信号HCK, HCKXに同期してシフト動作を行い、各シフト段からシフトパルスを順次出力する。第1のスイッチ群は、シフトレジスタから順次出力されたシフトパルスに応じて第2のクロック信号DC

K1, DCK1X, DCK2, DCK2Xを抜き取る。第2のスイッチ群は、外部から入力される映像信号を第2のクロック信号DCK1, DCK1X, DCK2, DCK2Xに応答して順次サンプリングし、各信号ライン12に供給する。係る構成により、完全ノンオーバーラップサンプリングを実現できる。

本発明の更なる特徴事項として、前述したクロック生成手段は外部クロック生成回路18と内部クロック生成回路19とに分かれている。外部クロック生成回路18はパネル33の外部にある駆動用のシステムボード（図示せず）に搭載されており、第2のクロック信号DCK1, DCK1X, DCK2, DCK2Xを外部からパネル33に供給する。一方、内部クロック生成回路19はパネル33の内部に垂直駆動回路16や水平駆動回路17とともに形成されており、外部クロック生成回路18から供給された第2のクロック信号DCK1, DCK1X, DCK2, DCK2Xを処理して、第1のクロック信号HCK, HCKXを生成している。内部的に生成された第1のクロック信号HCK, HCKXは第2のクロック信号DCK1, DCK1X, DCK2, DCK2Xとともに、水平駆動回路17に送られる。尚、外部クロック生成回路18は、第2のクロック信号DCK1, DCK1X, DCK2, DCK2Xのデューティ比を可変調整可能である。これに対し、内部クロック生成回路19はデューティ比が固定された第1のクロック信号HCK, HCKXを生成する。

第2図は、表示装置の参考例を示す模式的なブロック図である。本発明に係る表示装置と対比する為に、第1図と対応する部分には対応する参照番号を付してある。第1図に示した本発明の表示装置と異なる点は、第1のクロック信号HCK, HCKXと第2のクロック信号DCK1, DCK1X, DCK2, DCK2Xが全て外部クロック生成回路18か

ら供給されていることであり、パネル 3 3 には何ら内部クロック生成回路は内蔵されていない。第 2 図に示した参考例の場合、外部クロック生成回路 1 8 とパネル 3 3 を接続する為に、最低 6 個の端子及びこれに関連した配線が必要である。これに対し、第 1 図に示した本発明の表示装置では、外部接続用の端子は 4 個で済む。

第 3 図は、表示装置の他の参考例を示す模式的なブロック図である。本発明に係る表示装置と対比する為に、第 1 図と対応する部分には対応する参照番号を付してある。第 1 図に示した本発明の表示装置と異なる点は、第 1 のクロック信号 HCK, HCKX が外部クロック生成回路 1 8 によって外部から供給される一方、第 2 のクロック信号 DCK1, DCK1X, DCK2, DCK2X が内部クロック生成回路 1 9 で内部的に生成されていることである。内部クロック生成回路 1 9 は外部クロック生成回路 1 8 から外部的に供給された第 1 のクロック信号 HCK, HCKX を論理的に処理して、第 2 のクロック信号 DCK1, DCK1X, DCK2, DCK2X を形成している。内部クロック生成回路 1 9 は比較的簡単な論理回路構成となっており、第 2 のクロック信号 DCK のパルス幅を設定する為に、所定段数のインバータを用いている。即ち、直列接続されたインバータを介して第 1 のクロック信号 HCK を遅延処理することで、第 2 のクロック信号 DCK のパルス幅を設定している。第 2 のクロック信号のパルス幅はインバータの接続段数で決まる為、基本的に固定であり可変調整することはできない。但、第 3 図に示した参考例の場合、外部接続用の端子は第 1 のクロック信号 HCK, HCKX の分として 2 個で済む。

第 2 図に示した参考例では、パネル外部のシステムボードにて第 2 のクロック信号（以下 DCK パルスと呼ぶ場合がある）を作成するので、第 1 のクロック信号（以下 HCK パルスと呼ぶ場合がある）に対する D

CKパルスの位相やDCKパルス幅を自由に調整することができる。しかし、入力信号として第1のクロック信号HCK, HCKXの他に、第2のクロック信号DCK1, DCK1X, DCK2, DCK2Xの4系統を追加する必要があり、接続用のパッド端子数が4つも増加してしまう。
5 パネルサイズの小型化を困難にする為、パッド端子数の増加は望ましくない。又第3図に示した参考例では、外部クロック生成回路18から供給したHCKパルスに基づき、パネル内部にてDCKパルスを作るので、パッド端子数の増加はない。しかしながら、内部クロック生成回路19のインバータの個数によりDCKパルス幅が決まる為、DCKパ
10 ルス幅の自由な調整は不可能である。縦スジやゴーストマージンに対する最適なDCKパルス幅を求める為、その可変性が必要である。一方で、パッド端子数の増加は少ない方が望ましい。これらの要求に鑑み、第1図に示した本発明の表示装置では、パッド端子数の増加を、従来のHCK, HCKX用の2個から、DCK1, DCK1X, DCK2, DCK
15 2X用の4個となって、パッド端子数の増加は2個に止めている。又、外部クロック生成回路18で第2のクロック信号を供給するので、DCKパルス幅を自在に最適調整することができる。

第4図は、第1図に示した内部クロック生成回路19の具体的な構成例を示すブロック図である。この内部クロック生成回路は、パネルの右上部に形成されており、DCKパルスからHCKパルスを作り出している。図示する様に、本内部クロック生成回路は基本的にD型フリップフロップで構成されている。特に本例では、D型フリップフロップ50は、4個のNAND素子51～54で構成されている。D型フリップフロップ50は入力端子D、クロック端子CLK及び一対の出力端子Q, QXを有している。D型フリップフロップは、入力信号DをクロックパルスCLKの立ち上がりで捉え、出力信号Qを得る構成となっている。他の

出力信号 Q_X は、一方の出力信号 Q の反転信号である。本例では、入力信号 D として、外部クロック生成回路から供給された第2のクロック信号のうち、 DCK_2X 又は DCK_1 を用いている。又、クロックパルス CLK として、同じく外部クロック生成回路から供給された第2のクロック信号のうち、 DCK_1 及び DCK_2 をOR素子55でOR処理した後、遅延回路60で遅延処理したパルス波形を用いている。遅延回路60はインバータ $61, 62, \dots, 6n$ を直列接続したものである。

第5図は、第4図に示した内部クロック生成回路の動作説明に供する波形図である。外部から供給される第2のクロック信号 DCK_1, DCK_1X は所定のパルス幅を有し、互いに反対極性となっている。同様に、 DCK_2, DCK_2X も所定のパルス幅を有し、互いに反対極性となっている。 DCK_1 と DCK_2 は互いに位相が180度ずれている。本実施例では、 DCK_1 及び DCK_2 をOR処理して、クロックパルス CLK を求めている。 DCK_1, DCK_2 は互いに位相が180度ずれているので、クロックパルス CLK の立ち上がりの間隔は、目的とするHCKパルスの1/2周期と一致する様になっている。尚、HCKパルスはデューティ比が50%であり、DCKパルスはHCKパルスと周期が等しく、デューティ比が小さい。又、入力信号 D として、本例では DCK_2X を用いている。ここで、入力パルス D の立ち上がりと、クロックパルス CLK の立ち上がりが重ならない様に、あらかじめ CLK の方に遅延回路60で遅延処理を施した後、D型フリップフロップ50に入力している。前述した様に、D型フリップフロップは、入力信号 D をクロックパルス CLK の立ち上がりで捉え、出力端子 Q に出力するものである。従って、出力信号 Q は、周期がDCKパルスと同じでデューティ比が50%の信号となり、HCKパルスとして使うことができる。又、出力端子 Q_X にはHCKパルスの反転信号である HCK_X が得られる。この様

にして得られたHCKパルスは水平駆動回路の動作に用いられる。DCKパルスは駆動用のシステムボードに搭載された外部クロック生成回路から供給している。システムボード側はDCKパルス幅を可変できる。以上により、本発明に係る表示装置は、DCKパルス幅が可変で、パネルに供給する入力信号を4個に削減することができる。

第6図は、例えば液晶セルを画素の表示エレメント（電気光学素子）として用いた本発明の一実施形態に係る点順次駆動方式のアクティブマトリクス型液晶表示装置の構成例を示す回路図である。ここでは、図面の簡略化のために、4行4列の画素配列の場合を例に採って示している。なお、アクティブマトリクス型液晶表示装置では、通常、各画素のスイッチング素子として薄膜トランジスタ（TFT；thin film transistor）が用いられている。

第6図において、行列状に配置された4行4列分の画素11の各々は、画素トランジスタである薄膜トランジスタTFTと、この薄膜トランジスタTFTのドレイン電極に画素電極が接続された液晶セルLCと、薄膜トランジスタTFTのドレイン電極に一方の電極が接続された保持容量Csとから構成されている。これら画素11の各々に対して、信号ライン12-1～12-4が各列ごとにその画素配列方向に沿って配線され、ゲートライン13-1～13-4が各行ごとにその画素配列方向に沿って配線されている。

画素11の各々において、薄膜トランジスタTFTのソース電極（または、ドレイン電極）は、対応する信号ライン12-1～12-4に各々接続されている。薄膜トランジスタTFTのゲート電極は、ゲートライン13-1～13-4に各々接続されている。液晶セルLCの対向電極および保持容量Csの他方の電極は、各画素間で共通にCsライン14に接続されている。このCsライン14には、所定の直流電圧がコモン電圧Vc

o mとして与えられる。

以上により、画素 1 1 が行列状に配置され、これら画素 1 1 に対して信号ライン 1 2 -1～1 2 -4 が各列ごとに配線されかつゲートライン 1 3 -1～1 3 -4 が各行ごとに配線されてなる画素アレイ部 1 5 が構成されている。⁵ この画素アレイ部 1 5において、ゲートライン 1 3 -1～1 3 -4 の各一端は、画素アレイ部 1 5 の例えれば左側に配置された垂直駆動回路 1 6 の各行の出力端に接続されている。

垂直駆動回路 1 6 は、1 フィールド期間ごとに垂直方向（行方向）に走査してゲートライン 1 3 -1～1 3 -4 に接続された各画素 1 1 を行単位で順次選択する処理を行う。すなわち、垂直駆動回路 1 6 からゲートライン 1 3 -1 に対して走査パルス V g 1 が与えられたときには 1 行目の各列の画素が選択され、ゲートライン 1 3 -2 に対して走査パルス V g 2 が与えられたときには 2 行目の各列の画素が選択される。以下同様にして、ゲートライン 1 3 -3, 1 3 -4 に対して走査パルス V g 3, V g 4 ¹⁰ が順に与えられる。¹⁵

画素アレイ部 1 5 の例えれば上側には、水平駆動回路 1 7 が配置されている。又、垂直駆動回路 1 6 や水平駆動回路 1 7 に対して各種のクロック信号を与える外部クロック生成回路（タイミングジェネレータ） 1 8 が設けられている。この外部クロック生成回路 1 8 では、垂直走査の開始を指令する垂直スタートパルス V S T、垂直走査の基準となる互いに逆相の垂直クロック V C K, V C K X、水平走査の開始を指令する垂直スタートパルス H S T などが生成される。加えて、外部クロック生成回路 1 8 は、サンプリングパルスの基となるクロックパルス D C K 1, D C K 2 を生成している。²⁰

外部クロック生成回路 1 8 とは別に、内部クロック生成回路 1 9 が設けられている。この内部クロック生成回路 1 9 は、外部クロック生成回²⁵

路 1 8 から供給された D C K 1, D C K 2 に基づいて水平走査の基準となる互いに逆相の水平クロック H C K, H C K X を生成する。第 7 図のタイミングチャートに示す様に、水平クロック H C K, H C K X は周期が T 1 でパルス幅が t 1 となっており、デューティ比はちょうど 50 % である。これに対し、D C K 1, D C K 2 は周期が T 2 でパルス幅が t 2 となっている。T 1 = T 2 であり、H C K パルスと D C K パルスは周期が等しい。一方、t 2 は t 1 より小さく、D C K パルスのデューティ比は H C K パルスのデューティ比より小さい。ここで、デューティ比とは、パルス波形においてパルス幅 t とパルス繰返周期 T の比である。

10 本例の場合は、水平クロック H C K, H C K X のデューティ比 (t_1 / T_1) が 50 % であり、これよりもクロック D C K 1, D C K 2 のデューティ比 (t_2 / T_2) が小さく、即ちクロック D C K 1, D C K 2 のパルス幅 t 2 が水平クロック H C K, H C K X のパルス幅 t 1 よりも狭く設定されている。

15 水平駆動回路 1 7 は、入力される映像信号 video を 1 H (H は水平走査期間) ごとに順次サンプリングし、垂直駆動回路 1 6 によって行単位で選択される各画素 1 1 に対して書き込む処理を行うためのものであり、本例ではクロックドライブ方式を採用し、シフトレジスタ 2 1、クロック抜き取りスイッチ群 2 2 およびサンプリングスイッチ群 2 3 を 20 有する構成となっている。

シフトレジスタ 2 1 は、画素アレイ部 1 5 の画素列（本例では、4 列）に対応した 4 段のシフト段 (S/R 段) 2 1-1 ~ 2 1-4 からなり、水平スタートパルス H S T が与えられると、互いに逆相の水平クロック H C K, H C K X に同期してシフト動作を行う。これにより、シフトレジスター 2 1 の各シフト段 2 1-1 ~ 2 1-4 からは、第 8 図のタイミングチャートに示すように、水平クロック H C K, H C K X の周期と同じパルス幅

を持つシフトパルス $V_{S1} \sim V_{S4}$ が順次出力される。

クロック抜き取りスイッチ群 2 2 は、画素アレイ部 1 5 の画素列に対応した 4 個のスイッチ 2 2-1～2 2-4 からなり、これらスイッチ 2 2-1～2 2-4 の各一端が、内部クロック生成回路 1 9 を介して外部クロック生成回路 1 8 からクロック DCK2, DCK1 を伝送するクロックライン 2 4-1, 2 4-2 に交互に接続されている。すなわち、スイッチ 2 2-1, 2 2-3 の各一端がクロックライン 2 4-1 に、スイッチ 2 2-2, 2 2-4 の各一端がクロックライン 2 4-2 にそれぞれ接続されている。

クロック抜き取りスイッチ群 2 2 の各スイッチ 2 2-1～2 2-4 には、シフトレジスタ 2 1 の各シフト段 2 1-1～2 1-4 から順次出力されるシフトパルス $V_{S1} \sim V_{S4}$ が与えられる。クロック抜き取りスイッチ群 2 2 の各スイッチ 2 2-1～2 2-4 は、シフトレジスタ 2 1 の各シフト段 2 1-1～2 1-4 からシフトパルス $V_{S1} \sim V_{S4}$ が与えられると、これらシフトパルス $V_{S1} \sim V_{S4}$ に応答して順にオン状態となることにより、互いに逆相のクロック DCK2, DCK1 を交互に抜き取る。

サンプリングスイッチ群 2 3 は、画素アレイ部 1 5 の画素列に対応した 4 個のスイッチ 2 3-1～2 3-4 からなり、これらのスイッチ 2 3-1～2 3-4 の各一端が映像信号 video を入力するビデオライン 2 5 に接続されている。このサンプリングスイッチ群 2 3 の各スイッチ 2 3-1～2 3-4 には、クロック抜き取りスイッチ群 2 2 の各スイッチ 2 2-1～2 2-4 によって抜き取られたクロック DCK2, DCK1 がサンプリングパルス $V_{H1} \sim V_{H4}$ として与えられる。

サンプリングスイッチ群 2 3 の各スイッチ 2 3-1～2 3-4 は、クロック抜き取りスイッチ群 2 2 の各スイッチ 2 2-1～2 2-4 からサンプリングパルス $V_{H1} \sim V_{H4}$ が与えられると、これらサンプリングパルス $V_{H1} \sim V_{H4}$ に応答して順にオン状態となることにより、ビデオライ

ン25を通して入力される映像信号videoを順次サンプリングし、画素アレイ部15の信号ライン12-1～12-4に供給する。

上記構成の本実施形態に係る水平駆動回路17では、シフトレジスタ21から順次出力されるシフトパルスVs1～Vs4をサンプリングパルスVh1～Vh4として用いるのではなく、サンプリングパルスVh1～Vh4に同期して、一対のクロックDCK2, DCK1を交互に抜き取り、これらクロックDCK2, DCK1を直接サンプリングパルスVh1～Vh4として用いるようにしている。これにより、サンプリングパルスVh1～Vh4のばらつきを抑えることができる。その結果、サンプリングパルスVh1～Vh4のばらつきに起因するゴーストを除去できることになる。

しかも、本実施形態に係る水平駆動回路17においては、従来技術の場合のように、シフトレジスタ21のシフト動作の基準となる水平クロックHCKX, HCKを抜き取ってサンプリングパルスVh1～Vh4として用いるのではなく、水平クロックHCKX, HCKに対して同じ周期でかつデューティ比の小さいクロックDCK2, DCK1を別途生成し、これらクロックDCK2, DCK1を抜き取ってサンプリングパルスVh1～Vh4として用いるようにしているので、次のような作用効果が得られる。

すなわち、クロックDCK2, DCK1がクロック抜き取りスイッチ群22の各スイッチ22-1～22-4で抜き取られ、サンプリングスイッチ群23の各スイッチ23-1～23-4に与えられるまでの伝送過程において、配線抵抗や寄生容量などに起因してパルスに遅延が生じ、抜き取られたクロックDCK2, DCK1の波形になまりが生じたとしても、特に第9図のタイミングチャートから明らかなように、抜き取られたクロックDCK2, DCK1の各々が前後のパルスとの間で完全ノンオー

バーラップの波形となる。

そして、この完全ノンオーバーラップ波形のクロックDCK2, DCK1をサンプリングパルスVh1～Vh4として用いることにより、サンプリングスイッチ群23において、あるk段目に着目したとき、k+5 1段目のサンプリングスイッチがオンする前に必ずk段目のサンプリングスイッチによる映像信号videoのサンプリングを完了することができる。

これにより、サンプリングスイッチ群23の各スイッチ23-1～23-4がオンする瞬間に、たとえビデオライン25に充放電ノイズが乗るとしても、第8図に示すように、次の段のスイッチングによって充放電ノイズが発生する以前に必ず自段(次段の一つ前の当該段)のサンプリングが行われるため、充放電ノイズをサンプリングするのを防ぐことができる。その結果、水平駆動の際に、サンプリングパルス相互間での完全ノンオーバーラップサンプリングを実現できるため、オーバーラップサン15 プリングに起因する縦スジの発生を抑えることができる。

また、完全ノンオーバーラップサンプリングを実現できることで、ゴーストが発生しないゴーストマージンを従来よりも大きくとることもできる。以下に、この点について詳述する。第10図に、例えばS/H=0～5のサンプルホールドポジションをとる映像信号videoと完全20 ノンオーバーラップのサンプリングパルスVhk-1, Vhk, Vhk+1との位相関係を示す。

先ず、S/H=1のときについて考える。S/H=1のときの映像信号videoとサンプリングパルスVhk-1, Vhk, Vhk+1との位相関係および信号ラインの電位変化を第11図に示す。S/H=1では、k-1段目のサンプリングパルスVhk-1と映像信号videoの黒信号部(パルス部)とオーバーラップしない。したがって、サン25

プリングパルス $V_{h k}$ によってパルス状の映像信号 $v_{i d e o}$ をサンプリングした際に、 k 段目の信号ラインにのみ黒信号が書き込まれるため、水平スキャン手前方向にゴーストは発生しない。

次に、 $S/H = 5$ のときについて考える。 $S/H = 5$ のときの映像信号 $v_{i d e o}$ とサンプリングパルス $V_{h k-1}$, $V_{h k}$, $V_{h k+1}$ との位相関係および信号ラインの電位変化を第 12 図に示す。 $S/H = 5$ では、映像黒信号は $k+1$ 段目のサンプリングパルス $V_{h k+1}$ とオーバーラップしてしまう。 $k+1$ 段目の信号ラインには、サンプリングスイッチがオンしたときに黒信号が書き込まれ、その後はグレーレベルまで戻ろうとする。しかし、オーバーラップ量が大きいために、信号ラインの電位はグレーレベルまでは戻りきらない。したがって、水平スキャン後ろ方向にゴーストが発生する。

$S/H = 1 \sim 4$ でも $S/H = 5$ のときと同様に、 $k+1$ 段目のサンプリングパルス $V_{h k+1}$ と映像黒信号部とはオーバーラップしており、サンプリングスイッチがオンしたときに信号ラインに黒信号が書き込まれる。しかし、 $S/H = 5$ のときに比べてオーバーラップ量が小さく、書き込まれる黒レベルが低いため、信号ラインの電位はグレーレベルまで戻りきることができる。したがって、水平スキャン後ろ方向にゴーストは発生しない。

ここで、サンプリングパルス $V_{h k-1}$, $V_{h k}$, $V_{h k+1}$ が相互にオーバーラップすることで、オーバーラップサンプリングとなる従来技術の場合と対比とすると、従来技術ではゴーストマージンが $S/H = 2, 3, 4$ の 3 つであるのに対して、完全ノンオーバーラップサンプリングの本方式では $S/H = 2, 3, 4$ に $S/H = 0, 1$ の 2 つが加わって計 5 つがゴーストマージンとなり、ゴーストマージンを上げることができる。

なお、上記実施形態では、アナログ映像信号を入力とし、これをサンプリングして点順次にて各画素を駆動するアナログインターフェース駆動回路を搭載した液晶表示装置に適用した場合について説明したが、デジタル映像信号を入力とし、これをラッチした後アナログ映像信号に
5 変換し、このアナログ映像信号をサンプリングして点順次にて各画素を駆動するデジタルインターフェース駆動回路を搭載した液晶表示装置にも、同様に適用可能である。

また、上記実施形態においては、各画素の表示エレメント（電気光学素子）として液晶セルを用いたアクティブマトリクス型液晶表示装置に
10 適用した場合を例に採って説明したが、液晶表示装置への適用に限られるものではなく、各画素の表示エレメントとしてエレクトロルミネッセンス（E L:electroluminescence）素子を用いたアクティブマトリクス型E L表示装置など、水平駆動回路にクロックドライブ方式を採用した点順次駆動方式のアクティブマトリクス型表示装置全般に適用可能であ
15 る。

点順次駆動方式としては、周知の1 H反転駆動方式やドット反転駆動方式の外に、映像信号を書き込んだ後の画素配列において、画素の極性が隣り合う左右の画素で同極性となり、かつ上下の画素で逆極性となるように、隣り合う画素列間で奇数行離れた2行、例えば上下の2行の画
20 素に互いに逆極性の映像信号を同時に書き込むいわゆるドットライン反転駆動方式などがある。

第13図は、本発明の第2面に係る表示装置の実施形態を示す模式的なブロック図である。図示する様に、本表示装置は行状のゲートライン13、列状の信号ライン12、両ラインが交差する部分に行列状に配された画素11及び所定の位相関係で2系統に分けた映像信号Video1, Video2を別々に供給する2本のビデオライン25, 26を有

するパネルで構成されている。尚、本実施形態では2系統の映像信号を用いているが、一般には所定の位相関係を有するn系統の映像信号を用いることができる。この場合には、n本のビデオラインを設ければよい。但し、nは2以上の整数である。本表示装置は、上述したパネルに加え
5 垂直駆動回路16、水平駆動回路17及びクロック生成手段89を含んでいる。好ましくは、垂直駆動回路16及び水平駆動回路17はパネルに内蔵されている。又、パネルにはサンプリングスイッチ群23も形成されている。サンプリングスイッチ群23の各スイッチは各信号ライン12に対応して配されており、2本の信号ラインを単位として2本のビ
10 デオラインの各々との間に接続されている。具体的には、一番目の信号ラインに対応したスイッチは一方のビデオライン25に接続され、二番目の信号ラインに対応したスイッチは他方のビデオライン26に接続している。この様に、各信号ライン12は互い違いで2本のビデオライン25、26に接続している。一般には、サンプリングスイッチ群23は
15 n本の信号ラインを単位として、n本のビデオラインの各々との間に接続されることになる。

垂直駆動回路16は各ゲートライン13に接続し、順次行単位で画素11を選択する。水平駆動回路17は所定の周期のクロック信号に基づいて動作し、サンプリングスイッチ群23の各スイッチのうち、同一の
20 ビデオラインに接続されたスイッチに対してはオーバーラップさせず、隣接するスイッチに対してはオーバーラップさせたサンプリングパルスA、B、C、D・・・を順次発生して各スイッチを順に駆動し、もって選択された行の画素11に順次映像信号Video1、Video2を書き込む。

25 本発明の特徴事項として、クロック生成手段89は、水平駆動回路17の動作基準となる第1のクロック信号HCKを生成するとともに、こ

の第1のクロック信号HCKに対してパルス幅が長い第2のクロック信号DCK1, DCK2を生成する。一方、水平駆動回路17は、シフトレジスタ21と抜取スイッチ群22とで構成されている。尚、シフトレジスタ21の各段をS/Rで表わしてある。シフトレジスタ21は、第5 1のクロック信号HCKに同期して水平スタートパルスHSTのシフト動作を行ない、各シフト段S/RからシフトパルスA, B, C, D・・・を順次出力する。尚、スタートパルスHSTはクロック生成手段89から供給される。抜取スイッチ群22の各スイッチは、シフトレジスタ21から順次出力されるシフトパルスA, B, C, D・・・に応答して第10 2のクロック信号DCK1, DCK2を抜き取り、前述したサンプリングパルスA', B', C', D'・・・を順次生成する。この様にして水平駆動回路17は、サンプリングスイッチ群23の各スイッチのうち、同一のビデオラインに接続されたスイッチに対してはオーバーラップさせず、隣接するスイッチに対してはオーバーラップさせたサンプリングパルスを順次発生して各スイッチを順に駆動している。例えば、サンプリングパルスA' とB' はオーバーラップする一方、A' とC' は完全ノンオーバーラップとなっている。

第14図を参照して、第13図に示した表示装置の動作を説明する。水平駆動回路17は第1のクロック信号HCK（以下、HCKパルスと呼ぶ場合がある）に応じて動作し、スタートパルスHSTを順次転送することで、シフトパルスA, B, C, Dを生成している。クロック生成手段89はHCKパルスの他、第2のクロック信号DCK1, DCK2（以下、DCKパルスと呼ぶ場合がある）を水平駆動回路17に供給している。第14図のタイミングチャートから明らかな様に、DCKパルスはHCKパルスと同一の周期を有するが、パルス幅が大きくなっている。又、DCK1とDCK2は互いに位相が180度ずれている。

第13図に示した水平駆動回路17は各シフトパルスA, B, C, D・・・で抜取スイッチ群22を開閉駆動し、DCKパルスを抜き取っている。これにより、サンプリングパルスA', B', C', D'・・・を生成している。具体的には、DCK1のパルスをシフトパルスAで抜き取ることにより、サンプリングパルスA'を生成している。同様に、DCK2のパルスをシフトパルスBで抜き取ることにより、サンプリングパルスB'を得ている。以下同様に、DCKパルスをシフトパルスで抜き取ることにより、サンプリングパルスC', D'・・・を得ている。この様なクロックドライブ方式を導入することで、隣り合うサンプリングパルス同士はオーバーラップを保ちつつ、同一のビデオラインに接続した1本おきの信号ライン間では、完全ノンオーバーラップとなる様にしている。例えば、サンプリングパルスA' とB' はオーバーラップし、A' とC' は完全にノンオーバーラップとなっている。

完全ノンオーバーラップとすることで、点順次駆動方式のアクティブマトリクス型表示装置に特有な縦筋やゴーストなどに対処することができる。例えば、第14図の例では、点線矢印で示す様に、サンプリングパルスA'が立ち下がった段階で、対応する信号ラインに映像信号Video1が正しくサンプリングされている。その後、実線矢印で示す様にサンプリングパルスC'が立ち上がると、信号ラインの充放電が生じる為、映像信号Video1の電位が下方に変動し、ノイズが載ることになる。しかしながら、このノイズが発生した時点では、既にサンプリングパルスA'が立ち下がっている為、影響を与えない。

以上の様に、本発明では分割サンプルホールド駆動に、DCKパルスを用いたクロックドライブ方式を導入している。分割サンプルホールド駆動に対応する為、クロックドライブによって抜き取られるパルスとして、HCKパルスに対してパルス幅の長いデューティ比の異なるDCK

パルスを用いている。シフトレジスタの各段から出力されたシフトパルスによってこのDCKパルスを抜き取ることで、隣り合うサンプリングパルス同士はオーバーラップを保ちつつ、同じビデオラインに対応したサンプリングパルス同士はノンオーバーラップとしている。この様にして、ドットライン反転駆動における市松パターンやドットライン反転駆動における1ドット横線パターンといった特定パターンにおける縦筋を除去できるとともに、点順次アクティブマトリクス表示装置特有の縦筋やゴーストをも同時に解消することが可能である。

第15図は、本発明に係る表示装置の具体的な構成例を示す模式的なブロック図である。図示する様に、本表示装置は画素アレイ部15、垂直駆動回路16及び水平駆動回路17などを集積的に形成したパネル33で構成されている。画素アレイ部15は、行状のゲートライン13、列状の信号ライン12及び両者が交差する部分に行列状に配された画素11とで構成されている。垂直駆動回路16は左右に分かれて配されており、ゲートライン13の両端に接続して、順次画素11の行を選択する。水平駆動回路17は信号ライン12に接続するとともに、所定の周期のHCKパルスに基づいて動作し、選択された行の画素11に順次映像信号を書き込む。本表示装置はクロック生成手段を備えており、水平駆動回路17の動作基準となるHCKパルスを生成するとともに、このHCKパルスに対して周期が同じで且つパルス幅が大きいDCKパルスを生成する。尚、HCKパルスは、クロック信号HCKとその反転信号HCKXを含んでいる。又、DCKパルスは、クロック信号DCK1、DCK1X、DCK2、DCK2Xを含んでいる。DCK1XはDCK1の反転信号であり、DCK2XはDCK2の反転信号である。DCK1とDCK2は互いに位相が180度ずれている。尚、図示を簡略にする為、パネル33からはビデオラインやサンプリングスイッチ群が省略

されている。加えて、各信号ライン12にはプリチャージ回路20が接続されており、水平駆動回路17側から映像信号をサンプリングする前に、あらかじめ各信号ライン12に所定レベルの電位を印加して、表示品位の改善を図っている。

5 本実施例の特徴事項として、クロック生成手段は外部クロック生成回路18と内部クロック生成回路19とに分かれている。外部クロック生成回路18はパネル33の外部にある駆動用のシステムボード（図示せず）に搭載されており、第1のクロック信号HCK, HCKXを外部から内部の水平駆動回路17に供給する。一方、内部クロック生成回路19はパネル33の内部に垂直駆動回路16や水平駆動回路17とともに形成されており、第2のクロック信号DCK1, DCK1X, DCK2, DCK2Xを内部で生成し水平駆動回路17に供給している。内部クロック生成回路19は、外部クロック生成回路18から供給されたHCKパルスを処理して、DCKパルスを生成している。この様に、DCKパルスをパネル内部で作成することにより、パネル33に形成する入力パッド数の増加を防ぐことができる。仮に、HCKパルスとDCKパルスを全て外部から供給すると、6個の入力パッドが必要である。DCKパルスをパネル内部で作成することにより、入力パットを4個削減できる。

第16図は、第15図に示した内部クロック生成回路19の具体的な構成例を示すブロック図である。第1の系統（1）に着目すると、外部クロック生成回路から供給された第1のクロック信号HCKは2つに分けられる。一方はそのままNOR回路55aの一方の入力端子に供給される。他方は、直列接続された4個のインバータ51a～54aからなる遅延回路に供給される。この遅延回路の出力がNOR回路55aの他方の入力端子に供給される。この様にして遅延処理を施されていないHCKと遅延処理を施されたHCK'が、NOR回路55aでNOR合成

される。NOR回路55aから出力された信号はインバータ56によって反転された後バッファ57を介して、クロック信号DCK1として出力される。又、NOR回路55aの出力端子から出力された信号は分岐してバッファ58を介し、DCK1Xとして出力され、水平駆動回路側に送られる。一般的に、パルス信号はインバータを通過する毎に遅延することが知られている。その為、本例では複数のインバータを通過したクロック信号HCK'はインバータを通過しないクロック信号HCKに比べ、数十nsec遅延する。これら2つのクロック信号HCK, HCK'をNOR合成することで、HCKよりパルス幅の長い目的のクロック信号DCK1, DCK1Xを作成することができる。DCK2, DCK2Xも同様にして、系統(2)で生成される。

第17図は、第16図に示した内部クロック生成回路の動作説明に供する波形図である。(1)は、第16図に示した第1系統(1)の動作を表わしており、(2)は同じく第16図に示した第2系統(2)の動作を表わしている。(1)に着目すると、HCK'はHCKに比べ所定時間だけ遅延している。この遅延量は、直列接続されたインバータの段数によって最適に設定可能である。遅延処理によって互いに位相がずれたHCK, HCK'をNOR処理することによりパルス幅の広がったDCK1Xが得られる。このDCK1Xを出力インバータで反転処理するとDCK1が得られる。同様に(2)に示す様に、遅延処理を施されていないHCKXと遅延処理を施されたHCKX'を互いに論理処理することで、DCK2が得られる。このDCK2を反転処理するとDCK2Xが得られる。

第18図は、例えば液晶セルを画素の表示エレメント(電気光学素子)として用いた本発明の一実施形態に係る点順次駆動方式のアクティブマトリクス型液晶表示装置の構成例を示す回路図である。ここでは、図面

の簡略化のために、4行4列の画素配列の場合を例に採って示している。なお、アクティブマトリクス型液晶表示装置では、通常、各画素のスイッチング素子として薄膜トランジスタ（TFT；thin film transistor）が用いられている。

5 第18図において、行列状に配置された4行4列分の画素11の各々は、画素トランジスタである薄膜トランジスタTFTと、この薄膜トランジスタTFTのドレイン電極に画素電極が接続された液晶セルLCと、薄膜トランジスタTFTのドレイン電極に一方の電極が接続された保持容量Csとから構成されている。これら画素11の各々に対して、信号
10 ライン12-1～12-4が各列ごとにその画素配列方向に沿って配線され、ゲートライン13-1～13-4が各行ごとにその画素配列方向に沿って配線されている。

15 画素11の各々において、薄膜トランジスタTFTのソース電極（または、ドレイン電極）は、対応する信号ライン12-1～12-4に各々接続されている。薄膜トランジスタTFTのゲート電極は、ゲートライン13-1～13-4に各々接続されている。液晶セルLCの対向電極および保持容量Csの他方の電極は、各画素間で共通にCsライン14に接続されている。このCsライン14には、所定の直流電圧がコモン電圧Vc
o mとして与えられる。

20 以上により、画素11が行列状に配置され、これら画素11に対して信号ライン12-1～12-4が各列ごとに配線されかつゲートライン13-1～13-4が各行ごとに配線されてなる画素アレイ部15が構成されている。この画素アレイ部15において、ゲートライン13-1～13-4の各一端は、画素アレイ部15の例えば左側に配置された垂直駆動回路16の各段の出力端子に接続されている。

25 垂直駆動回路16は、1フィールド期間ごとに垂直方向（行方向）に

走査してゲートライン 13-1～13-4 に接続された各画素 11 を行単位で順次選択する処理を行う。すなわち、垂直駆動回路 16 からゲートライン 13-1 に対して走査パルス Vg1 が与えられたときには 1 行目の各列の画素が選択され、ゲートライン 13-2 に対して走査パルス Vg2 が与えられたときには 2 行目の各列の画素が選択される。以下同様にして、ゲートライン 13-3, 13-4 に対して走査パルス Vg3, Vg4 が順に与えられる。

画素アレイ部 15 の例えば上側には、水平駆動回路 17 が配置されている。また、垂直駆動回路 16 や水平駆動回路 17 に対して各種のクロック信号を与える外部クロック生成回路（タイミングジェネレータ）18 が設けられている。この外部クロック生成回路 18 では、垂直走査の開始を指令する垂直スタートパルス VST、垂直走査の基準となる互いに逆相の垂直クロック VCK, VCKX、水平走査の開始を指令する垂直スタートパルス HST、水平走査の基準となる互いに逆相の水平クロック HCK, HCKX が生成される。

外部クロック生成回路 18 とは別に、内部クロック生成回路 19 が設けられている。この内部クロック生成回路 19 では、水平クロック HCK, HCKX に対して周期が同じで且つパルス幅が長い一対のクロック DCK1, DCK2 が生成される。

水平駆動回路 17 は、二本のビデオライン 25, 26 から入力される映像信号 Video1, Video2 を 1H (H は水平走査期間) ごとに順次サンプリングし、垂直駆動回路 16 によって行単位で選択される各画素 11 に対して書き込む処理を行うためのものであり、本例ではクロックドライブ方式を採用し、シフトレジスタ 21、クロック抜き取りスイッチ群 22 およびサンプリングスイッチ群 23 を有する構成となっている。

シフトレジスタ 21 は、画素アレイ部 15 の画素列（本例では、4 列）に対応した 4 段のシフト段（S/R）21-1～21-4 からなり、水平スタートパルス HST が与えられると、互いに逆相の水平クロック HCK, HCKX に同期してシフト動作を行う。これにより、シフトレジスタ 2
5 1 の各シフト段 21-1～21-4 からは、水平クロック HCK, HCKX の周期と同じパルス幅を持つシフトパルス A～D が順次出力される。

クロック抜き取りスイッチ群 22 は、画素アレイ部 15 の画素列に対応した 4 個のスイッチ 22-1～22-4 からなり、これらスイッチ 22-1～22-4 の各一端が、内部クロック生成回路 19 からクロック DCK2, 10 DCK1 を伝送するクロックライン 24-1, 24-2 に交互に接続されている。すなわち、スイッチ 22-1, 22-3 の各一端がクロックライン 24-1 に、スイッチ 22-2, 22-4 の各一端がクロックライン 24-2 にそれぞれ接続されている。

クロック抜き取りスイッチ群 22 の各スイッチ 22-1～22-4 には、シフトレジスタ 21 の各シフト段 21-1～21-4 から順次出力されるシフトパルス A～D が与えられる。クロック抜き取りスイッチ群 22 の各スイッチ 22-1～22-4 は、シフトレジスタ 21 の各シフト段 21-1～21-4 からシフトパルス A～D が与えられると、これらシフトパルス A～D に応答して順にオン状態となることにより、互いに逆相のクロック DCK2, 20 DCK1 を交互に抜き取る。

サンプリングスイッチ群 23 は、画素アレイ部 15 の画素列に対応した 4 個のスイッチ 23-1～23-4 からなり、これらのスイッチ 23-1～23-4 の各一端が映像信号 Video 1 を入力するビデオライン 25 及び Video 2 を入力するビデオライン 26 に交互に接続されている。
25 このサンプリングスイッチ群 23 の各スイッチ 23-1～23-4 には、クロック抜き取りスイッチ群 22 の各スイッチ 22-1～22-4 によって

抜き取られたクロックDCK2, DCK1がサンプリングパルスA'～D'として与えられる。

サンプリングスイッチ群23の各スイッチ23-1～23-4は、クロック抜き取りスイッチ群22の各スイッチ22-1～22-4からサンプリングパルスA'～D'が与えられると、これらサンプリングパルスA'～D'に応答して順にオン状態となることにより、ビデオライン25, 26を通して入力される映像信号Video1, 2を順次交互にサンプリングし、画素アレイ部15の信号ライン12-1～12-4に供給する。

上記構成の本実施形態に係る水平駆動回路17では、シフトレジスタ21から順次出力されるシフトパルスA～DをそのままサンプリングパルスA'～D'として用いるのではなく、シフトパルスA～Dに同期して、一対のクロックDCK2, DCK1を交互に抜き取り、これらクロックDCK2, DCK1をサンプリングパルスA'～D'として用いるようにしている。これにより、サンプリングパルスA'～D'のばらつきを抑えることができる。その結果、サンプリングパルスA'～D'のばらつきに起因するゴーストを除去できることになる。

産業上の利用可能性

以上説明したように、本発明の第1面によれば、点順次駆動方式のアクティブマトリクス型表示装置において、クロックドライブ方式にて水平駆動を行う際に、水平走査の基準となる第1のクロック信号に対して周期が同じでかつデューティ比が小さい第2のクロック信号を用い、この第2のクロック信号を抜き取ってサンプリングパルスとして映像信号のサンプリングを行うようにしたことにより、完全ノンオーバーラップサンプリングを実現できるため、オーバーラップサンプリングに起因する縦スジの発生を抑えることができるとともに、ゴーストマージンを上

げることができる。特に本発明によれば、外部から供給される第2のクロック信号を処理して第1のクロック信号を内部的に作成している。これにより、パネルに形成すべき端子の数及び配線の本数の増加を抑制することができる。又、外部から第2のクロック信号を供給するので、そのパルス幅を自在に最適調整することが可能である。これにより、縦スジなどの品質劣化やゴーストマージンに対する最適なDCKパルス幅を得ることができる。

又本発明の第2面によれば、水平駆動回路の動作基準となるHCKパルスに対してパルス幅が長く且つデューティ比の異なるDCKパルスを用いてクロックドライブを行なっている。これにより、分割サンプルホールド駆動に対応した完全ノンオーバーラップサンプリングを達成し、縦筋やゴーストの発生を抑えている。同時に、分割サンプルホールド駆動で隣り合う信号ラインに割り当てられたサンプリングパルスをオーバーラップすることにより、ライン反転駆動時におけるドット市松パターンやドットライン反転駆動時における1ドット横線パターンの様な特定パターン表示時における縦筋の除去も可能である。加えて、外部から供給されるHCKパルスに基づき、パネル内部にてDCKパルスを合成することにより、入力パッド数や入力配線数の増加を防ぐことができる。

請求の範囲

1. 行状のゲートライン、列状の信号ライン及び両者が交差する部分に行列状に配された画素を有するパネルと、
 - 5 該ゲートラインに接続し順次画素の行を選択する垂直駆動回路と、該信号ラインに接続するとともに所定の周期のクロック信号に基づいて動作し、選択された行の画素に順次映像信号を書き込む水平駆動回路と、該水平駆動回路の動作基準となる第1のクロック信号と、この第1のクロック信号に対して周期が同じでかつデューティ比が小さい第2のクロック信号を生成するクロック生成手段とからなり、
 - 10 前記水平駆動回路は、前記第1のクロック信号に同期してシフト動作を行い各シフト段からシフトパルスを順次出力するシフトレジスタと、前記シフトレジスタから順次出力される前記シフトパルスに応答して前記第2のクロック信号を抜き取る第1のスイッチ群と、入力される映像信号を前記第1のスイッチ群の各スイッチによって抜き取られた前記第2のクロック信号に応答して順次サンプリングし各信号ラインに供給する第2のスイッチ群とを有し、
 - 15 前記クロック生成手段は、パネルの外部に配され該第2のクロック信号を外部から供給する外部クロック生成回路と、パネルの内部に形成され該第2のクロック信号に基づいて該第1のクロック信号を該水平駆動回路に供給する内部クロック生成回路とに分かれていることを特徴とする表示装置。
2. 前記内部クロック生成回路は、該外部クロック生成回路から供給された第2のクロック信号を処理して該第1のクロック信号を生成するためD型フリップフロップを含むことを特徴とする請求の範囲第1項記

載の表示装置。

3. 前記D型フリップフロップは、複数のNAND素子で構成されていることを特徴とする請求の範囲第2項記載の表示装置。

4. 前記外部クロック生成回路は、該第2のクロック信号のデューティ比を可変調整可能なことを特徴とする請求の範囲第1項記載の表示装置。

5. 行状のゲートライン、列状の信号ライン、両ラインが交差する部分に行列状に配された画素及び所定の位相関係でn系統（nは2以上の整数）に分けた映像信号を供給するn本の映像ラインを有するパネルと、

10 該ゲートラインに接続し順次画素の行を選択する垂直駆動回路と、

各信号ラインに対応して配されており、n本の信号ラインを単位として該n本の映像ラインの各々との間に接続されたサンプリングスイッチ群と、所定の周期のクロック信号に基づいて動作し、前記サンプリングスイッチ群の各スイッチのうち、同一の映像ラインに接続されたスイッチに対してはオーバーラップさせず、隣接するスイッチに対してはオーバーラップさせたサンプリングパルスを順次発生して各スイッチを順に駆動し、もって選択された行の画素に順次映像信号を書き込む水平駆動回路と、

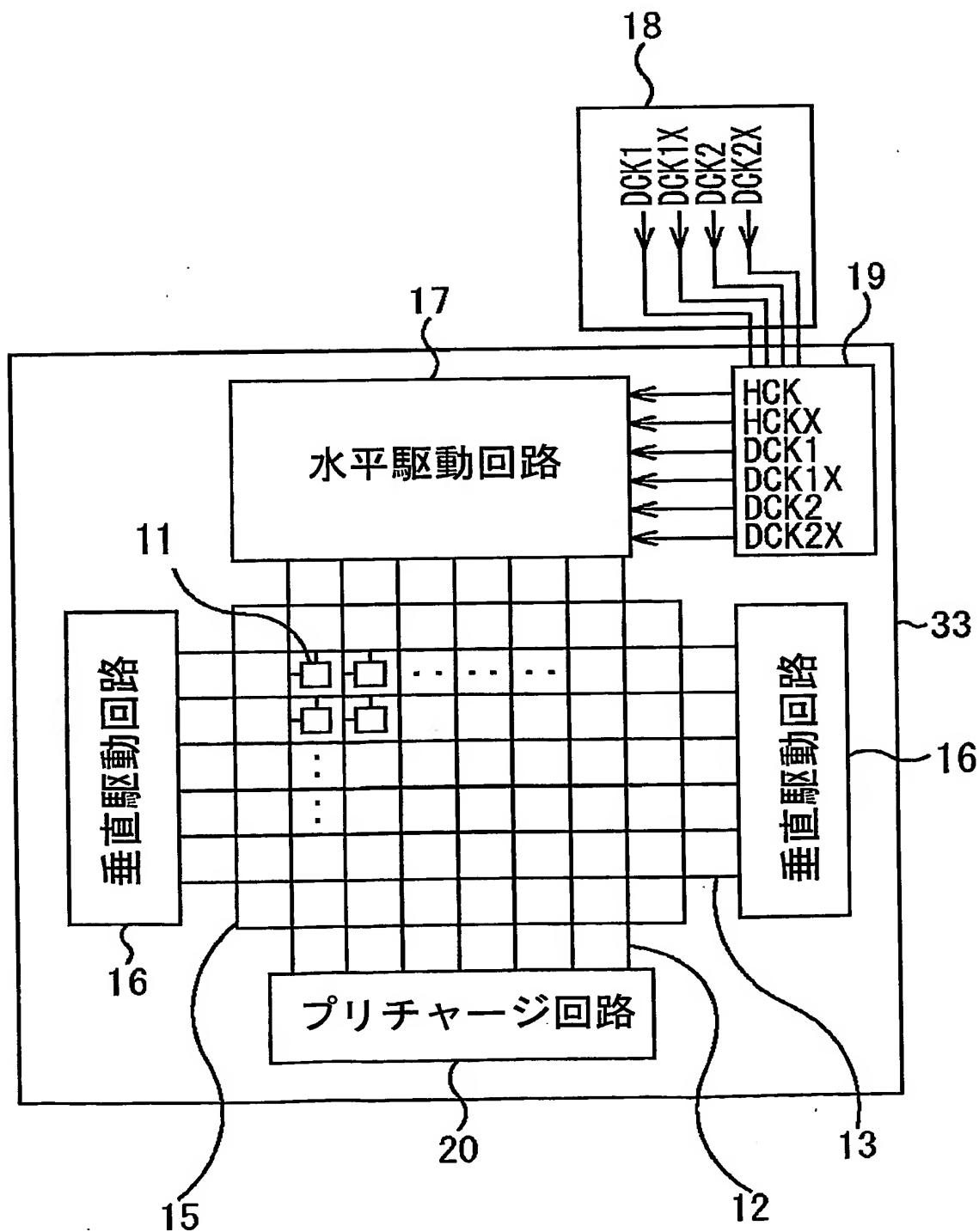
20 該水平駆動回路の動作基準となる第1のクロック信号を生成するとともに、この第1のクロック信号に対してパルス幅が長い第2のクロック信号を生成するクロック生成手段とからなり、

前記水平駆動回路は、前記第1のクロック信号に同期してシフト動作を行い各シフト段からシフトパルスを順次出力するシフトレジスタと、前記シフトレジスタから順次出力される前記シフトパルスに応答して前記第2のクロック信号を抜き取って該サンプリングパルスを順次生成する抜取スイッチ群とを有することを特徴とする表示装置。

6. 前記クロック生成手段は、パネルの外部に配され該第1のクロック信号を外部的に該水平駆動回路に供給する外部クロック生成回路と、パネルの内部に形成され該第2のクロック信号を内部的に該水平駆動回路に供給する内部クロック生成回路とに分かれていることを特徴とする
5 請求の範囲第5項記載の表示装置。
7. 前記内部クロック生成回路は、該外部クロック生成回路から供給された第1のクロック信号を処理して該第2のクロック信号を生成することを特徴とする請求の範囲第6項記載の表示装置。
8. 前記内部クロック生成回路は、第1のクロック信号を遅延処理する遅延回路を含んでおり、遅延処理が施される前の第1のクロック信号と遅延処理された後の第1のクロック信号とにより該第2のクロック信号を生成することを特徴とする請求の範囲第7項記載の表示装置。
10
9. 前記遅延回路は、直列接続された偶数個のインバータからなることを特徴とする請求の範囲第8項記載の表示装置。
- 15 10. 前記内部クロック生成回路は、遅延処理を施される前の第1のクロック信号と遅延処理された後の第1のクロック信号とを互いにNOR合成して該第2のクロック信号を生成するNOR回路を有することを特徴とする請求の範囲第9項記載の表示装置。

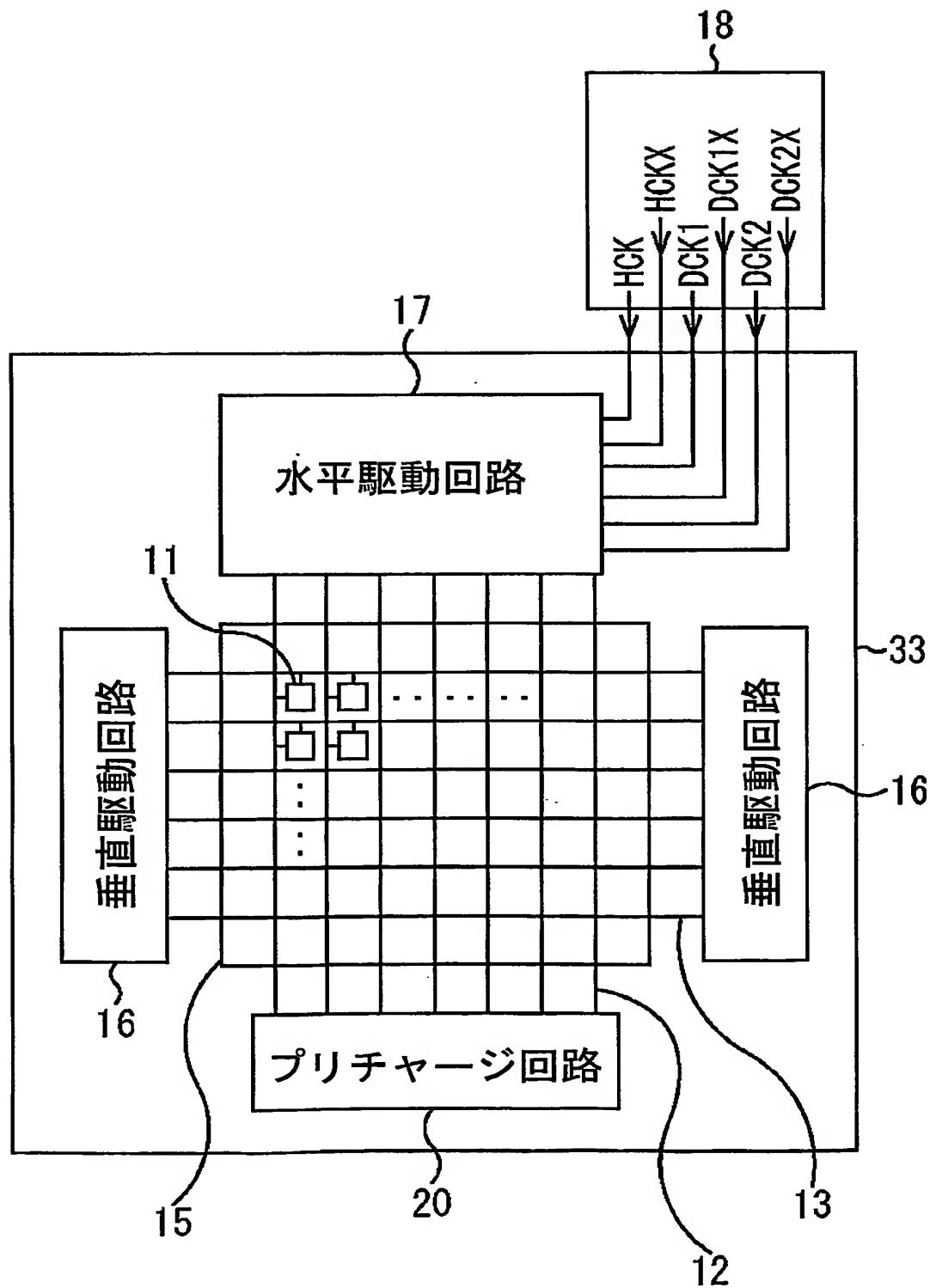
1/27

Fig.1



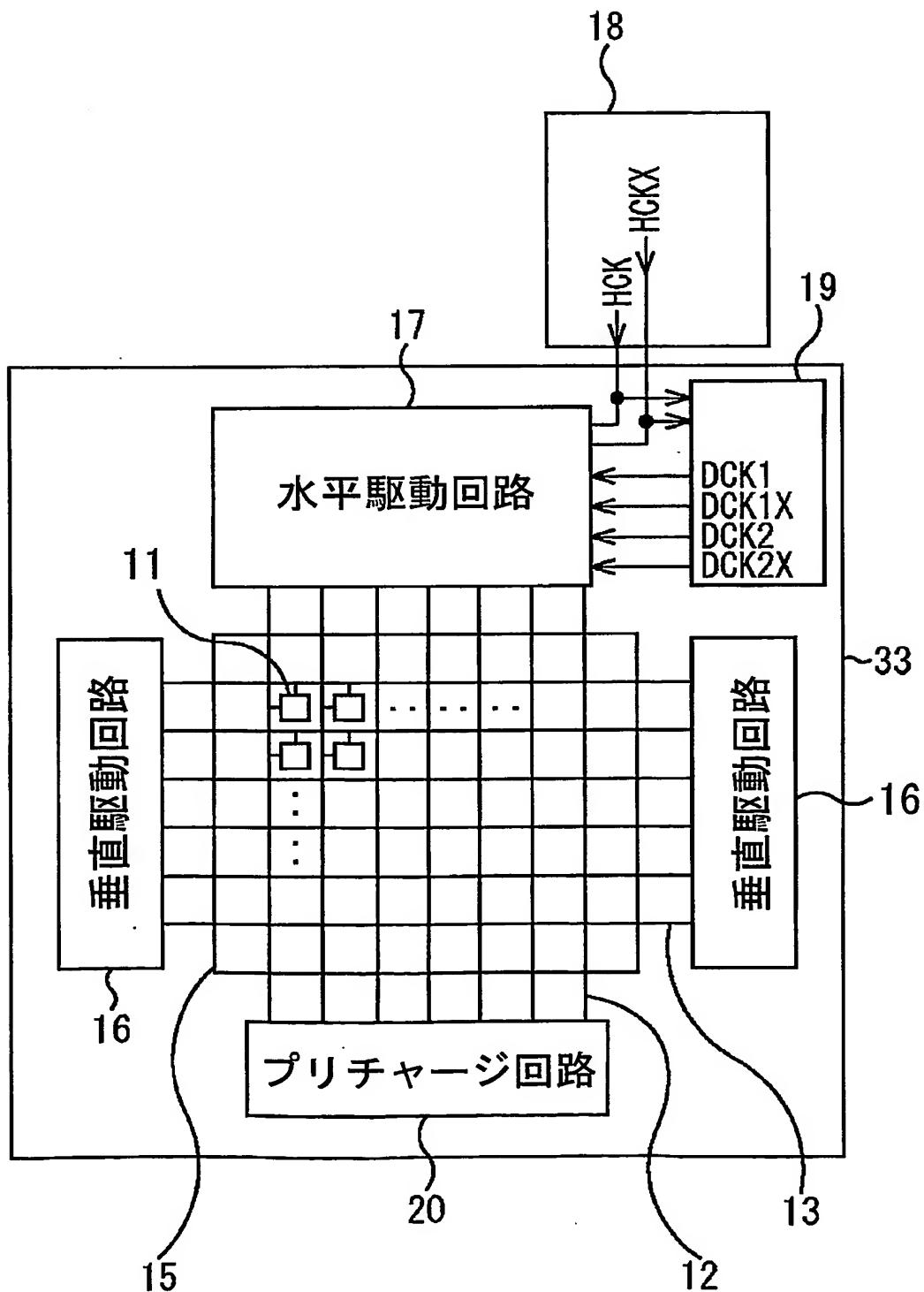
2/27

Fig.2



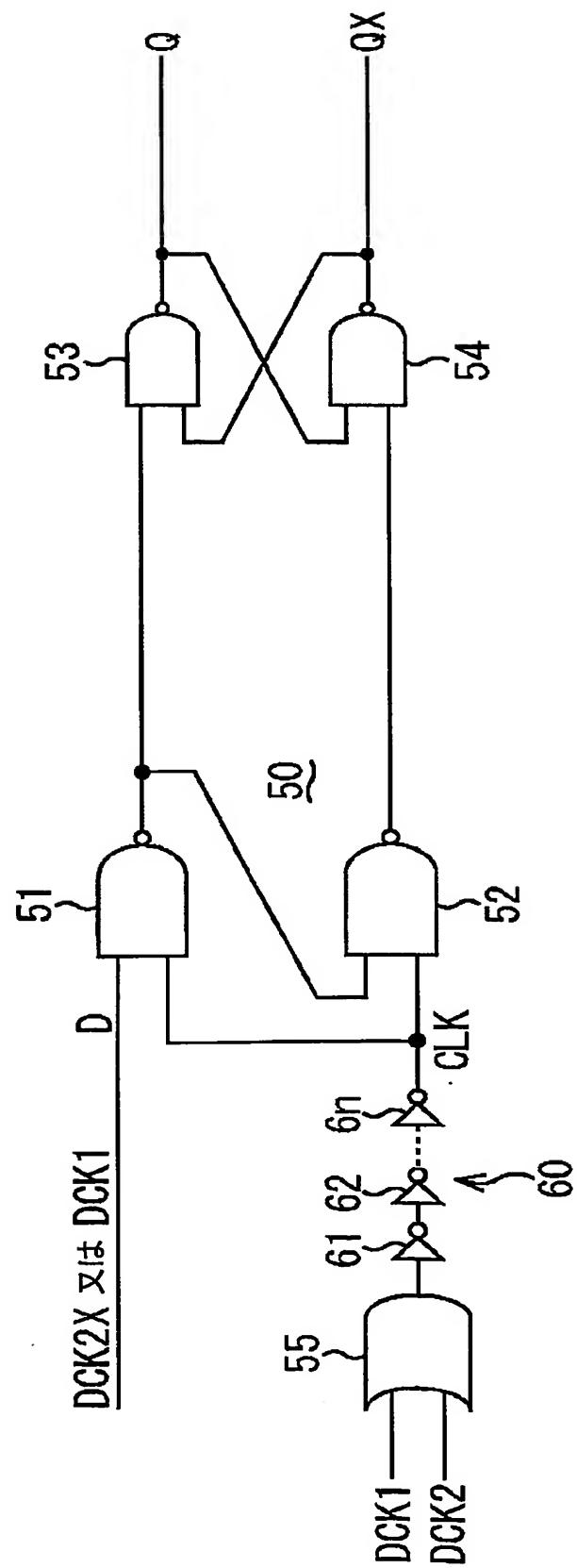
3/27

Fig.3



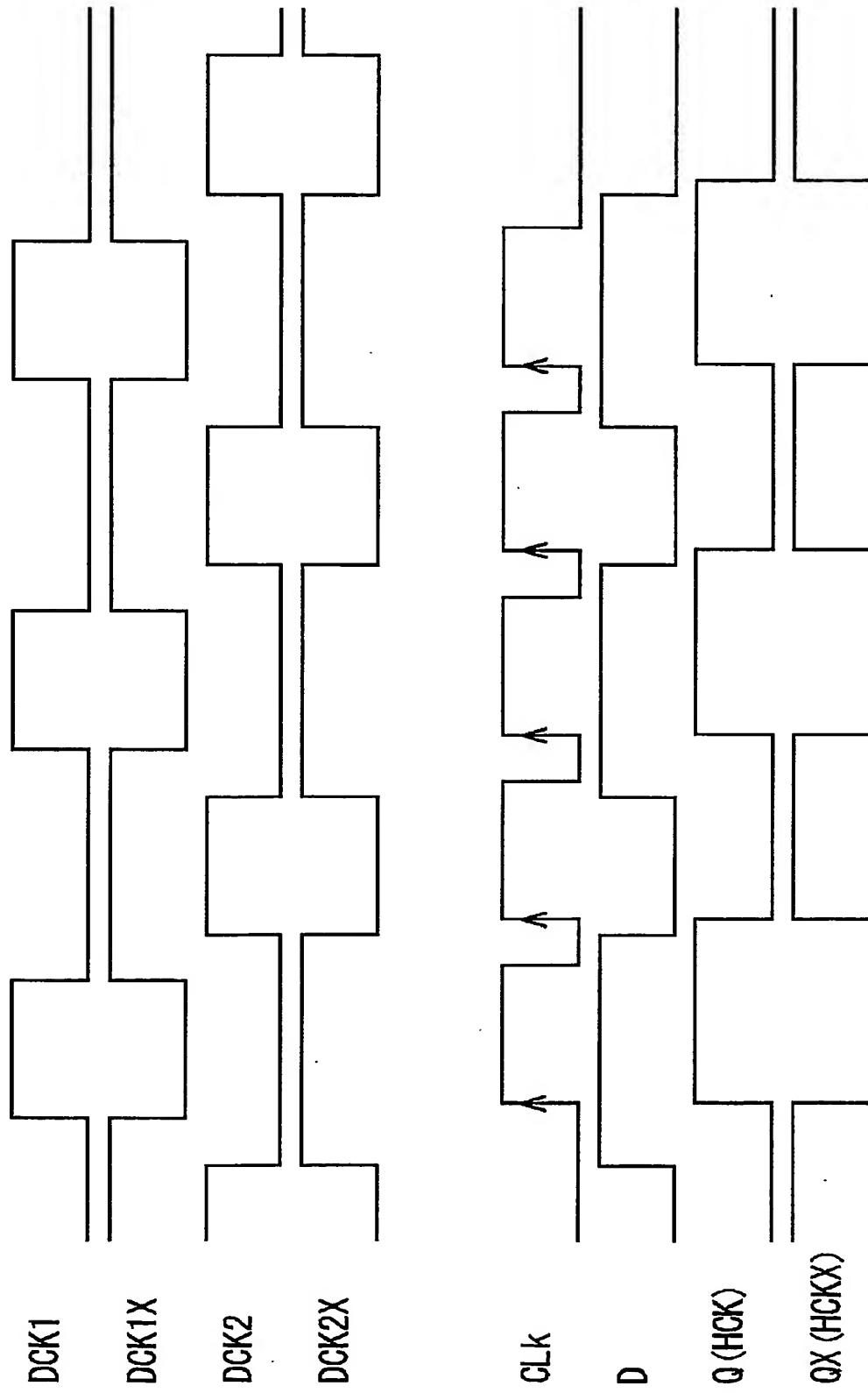
4/27

Fig.4



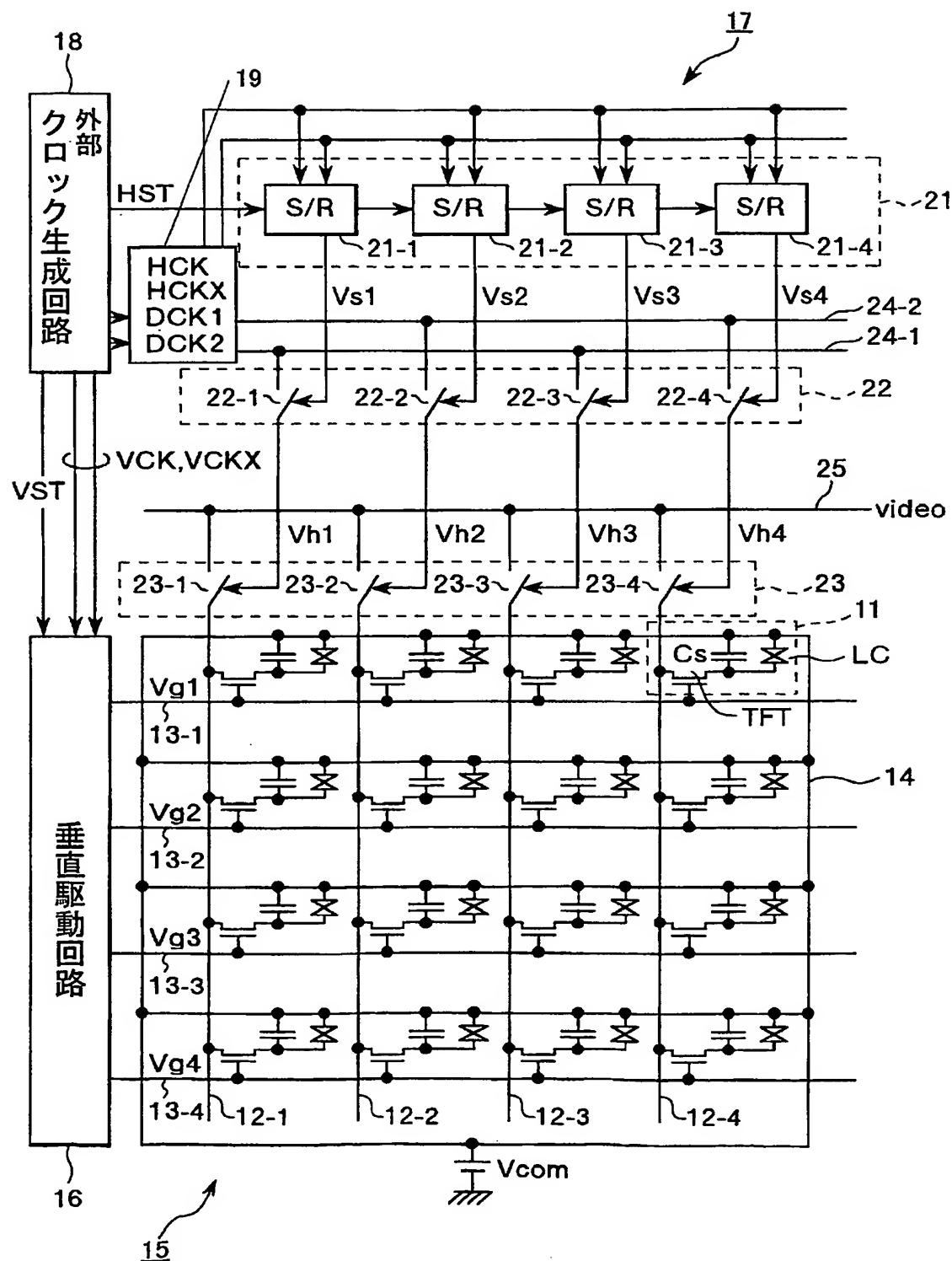
5/27

Fig.5



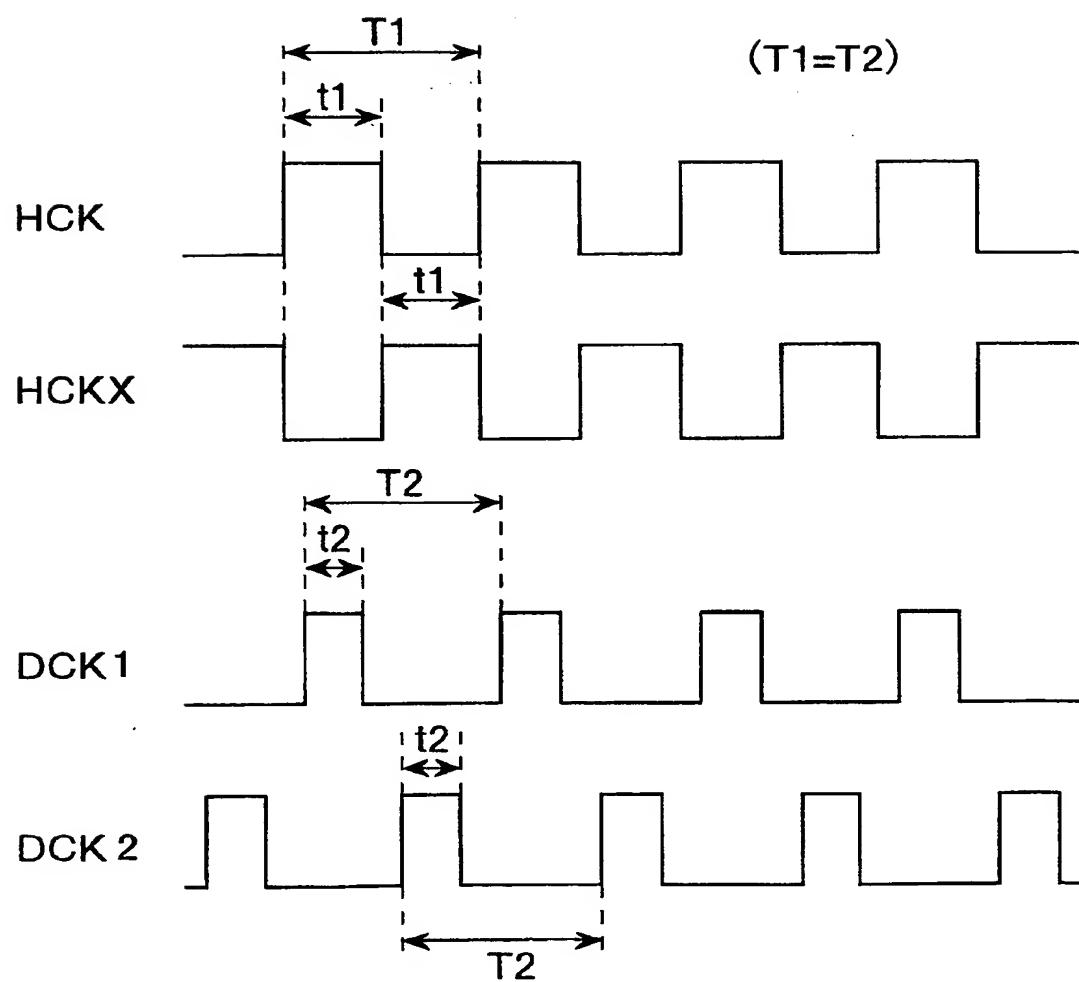
6/27

Fig.6



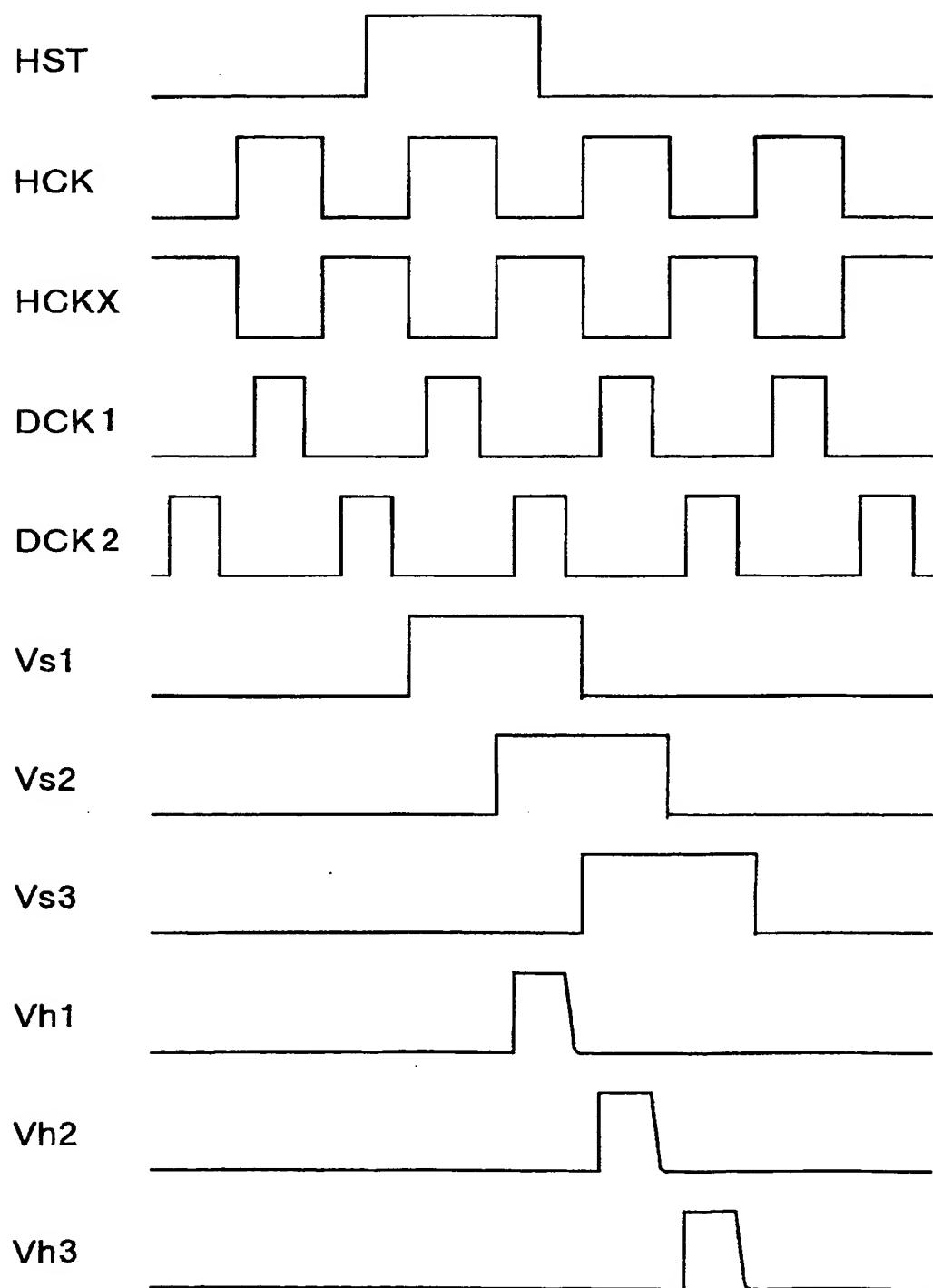
7/27

Fig.7



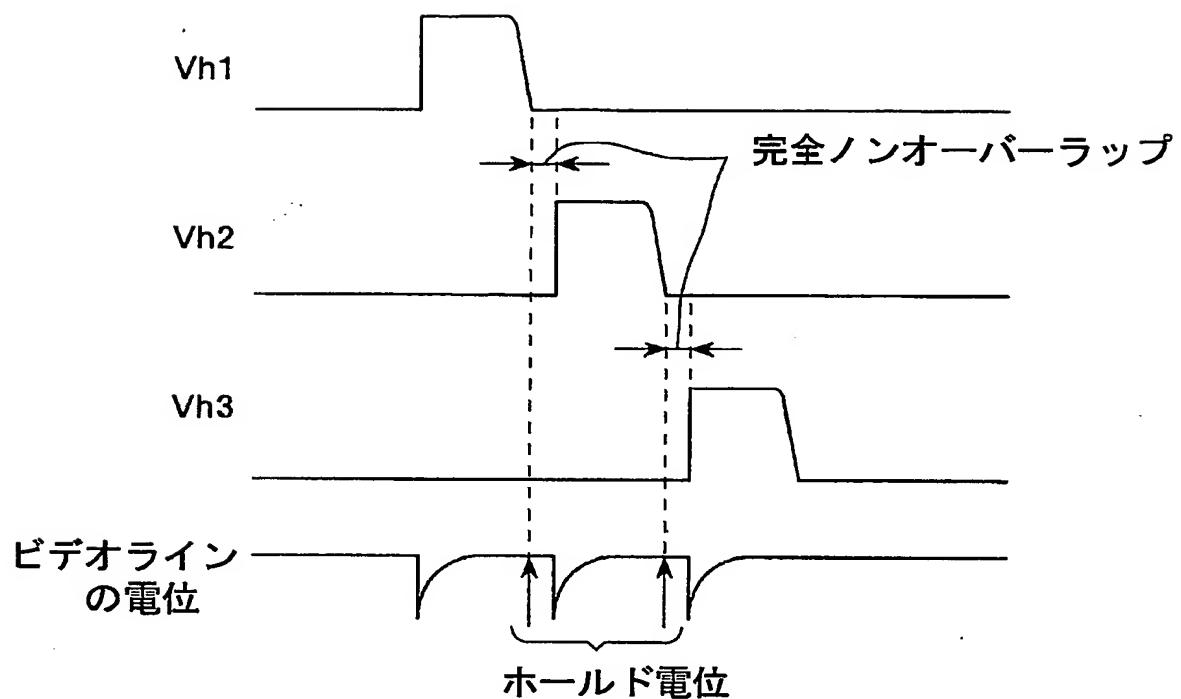
8/27

Fig.8



9/27

Fig.9



10/27

Fig.10

映像信号video

 $S/H = 0$

1

2

3

4

5

サンプリングパルス

 V_{hk-1} V_{hk} V_{hk+1}

11/27

Fig.11

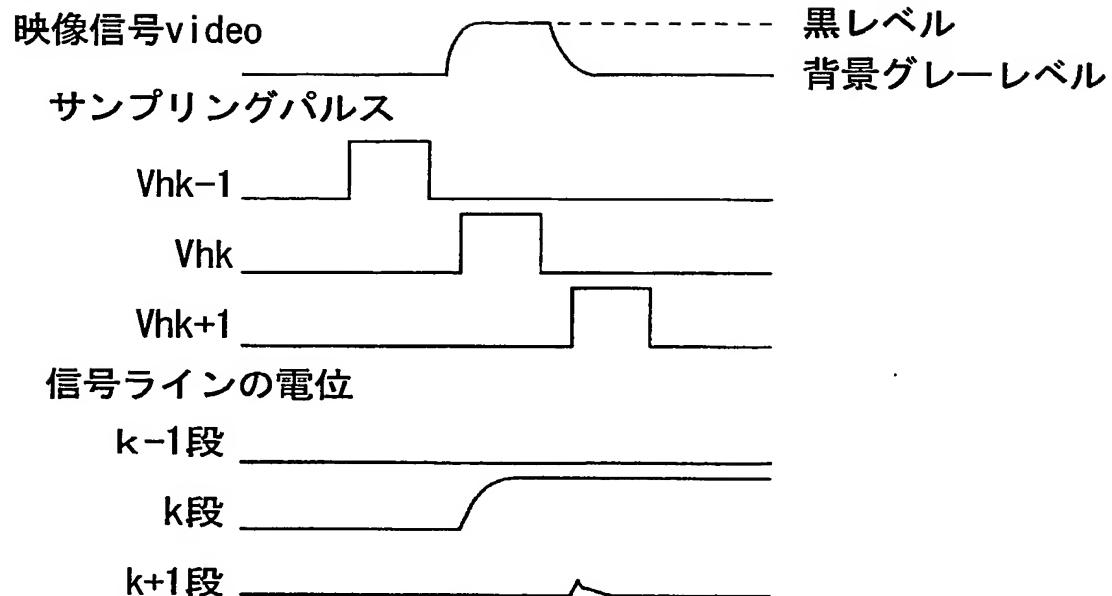
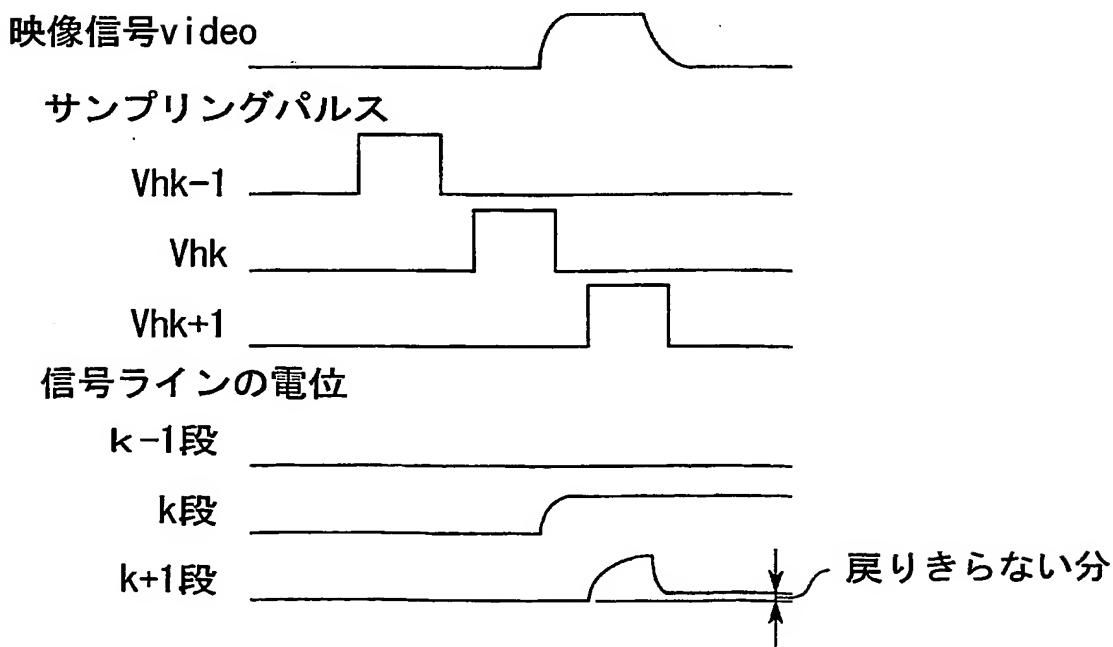
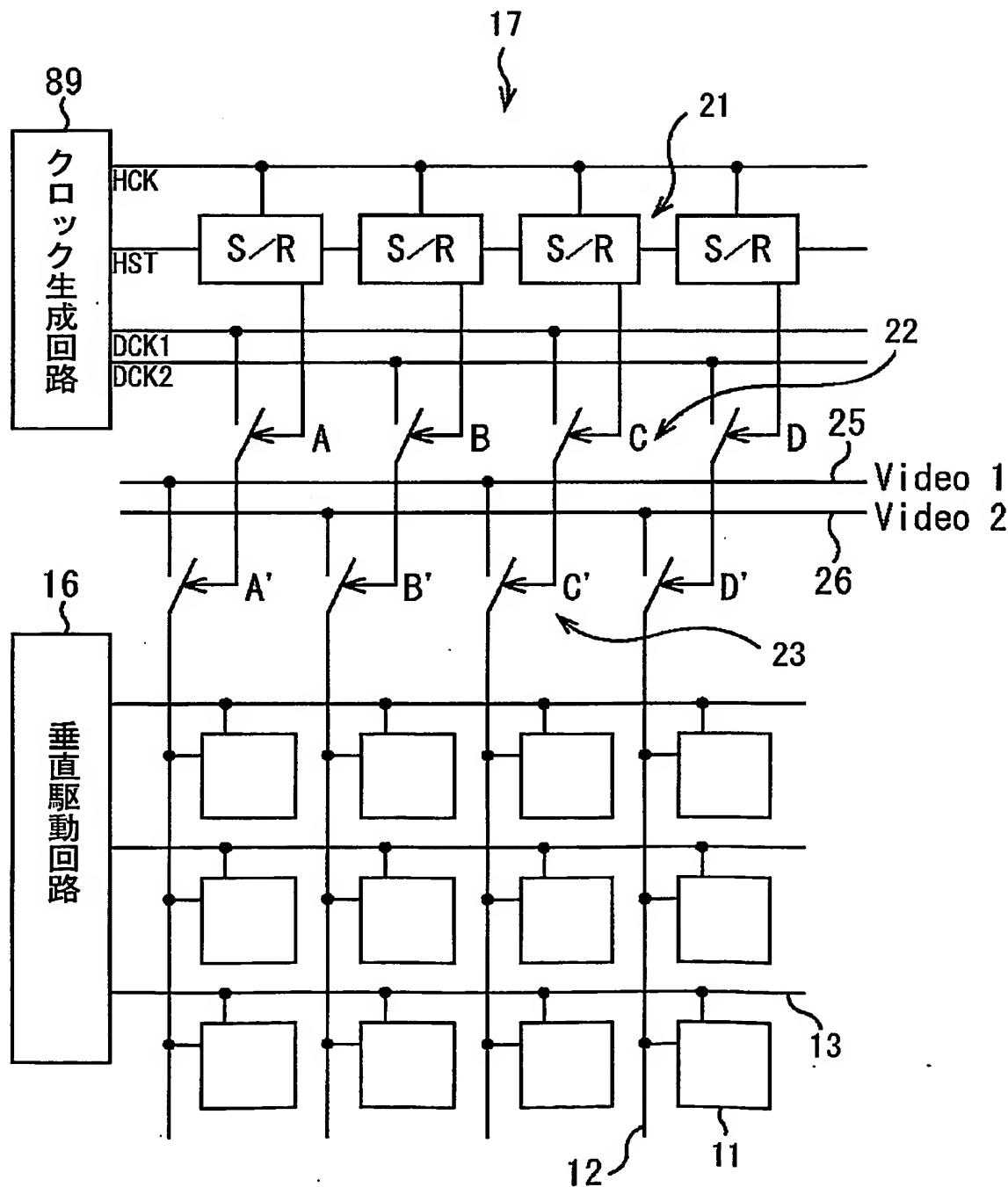
 $S/H=1$ 

Fig.12

 $S/H=5$ 

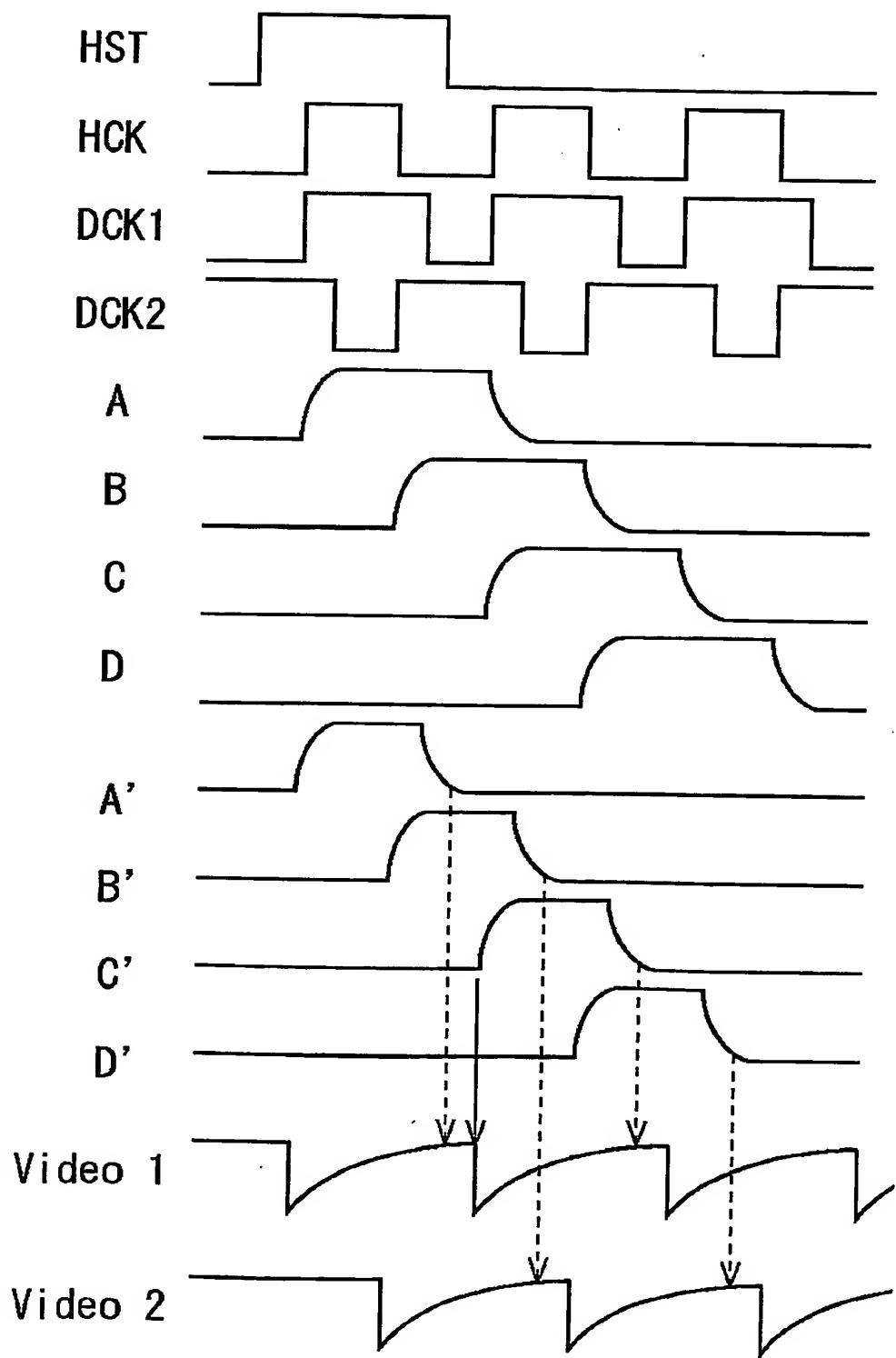
12/27

Fig.13



13/27

Fig.14



14/27

Fig.15

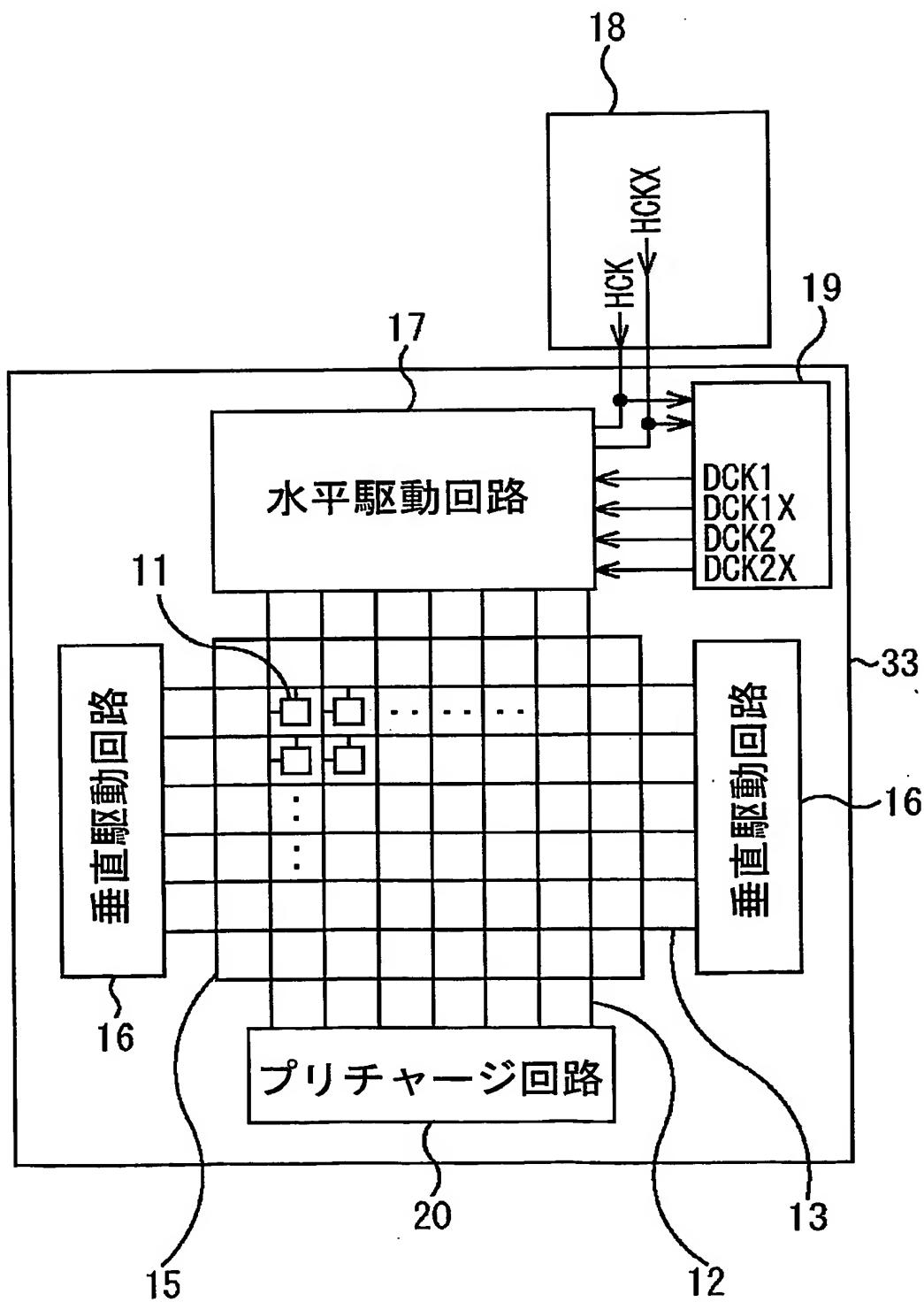
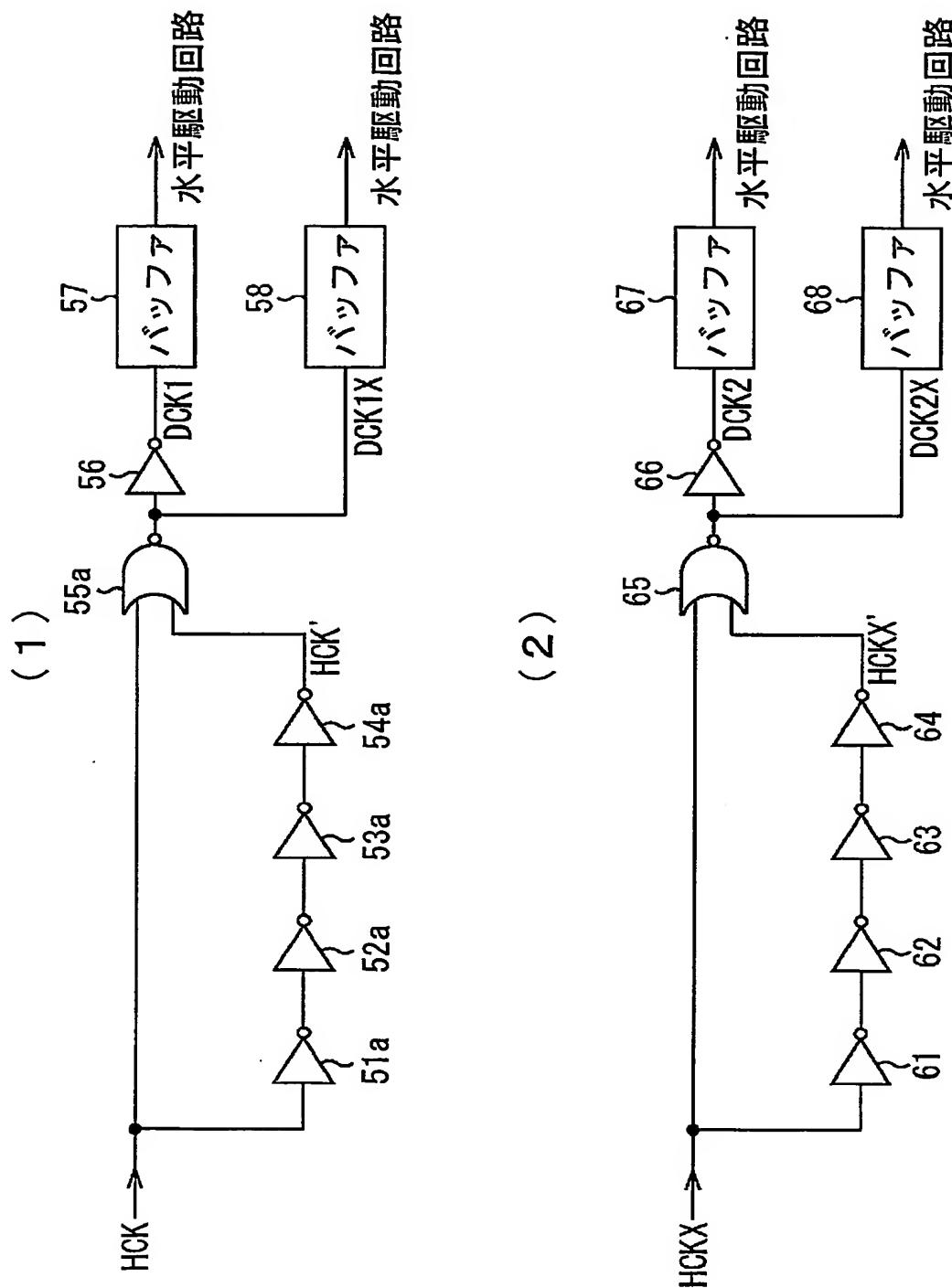


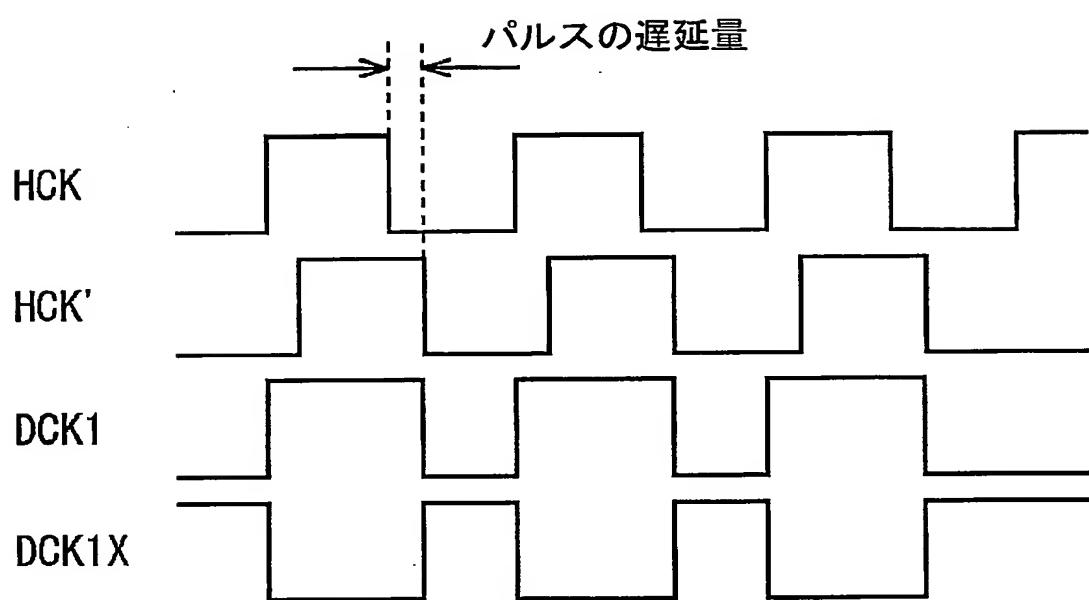
Fig.16



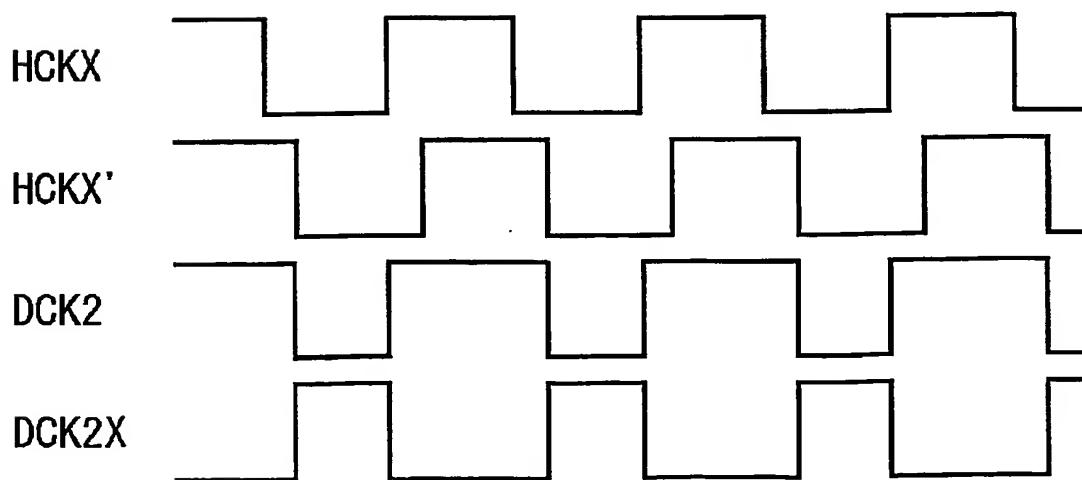
16/27

Fig.17

(1)

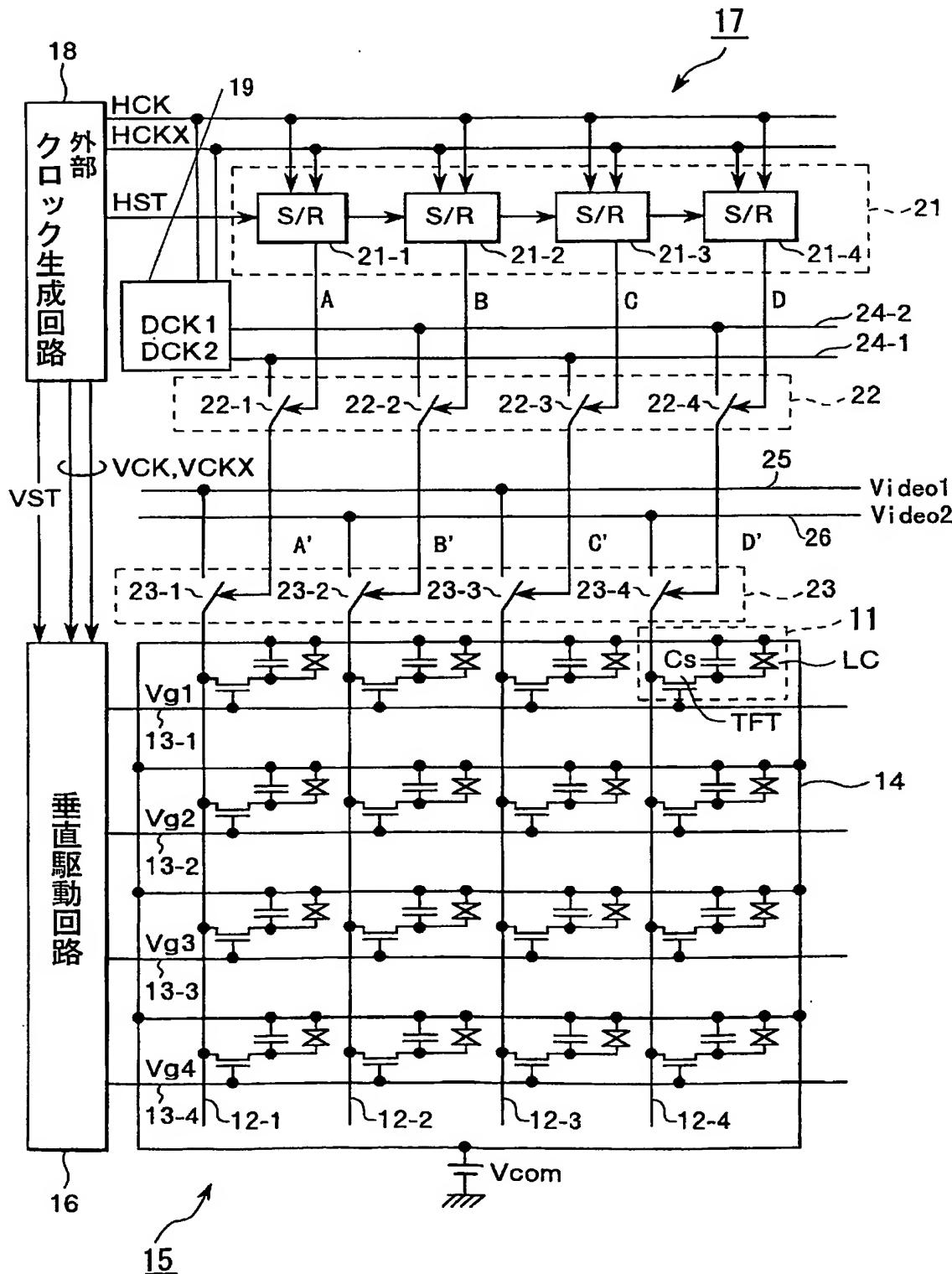


(2)



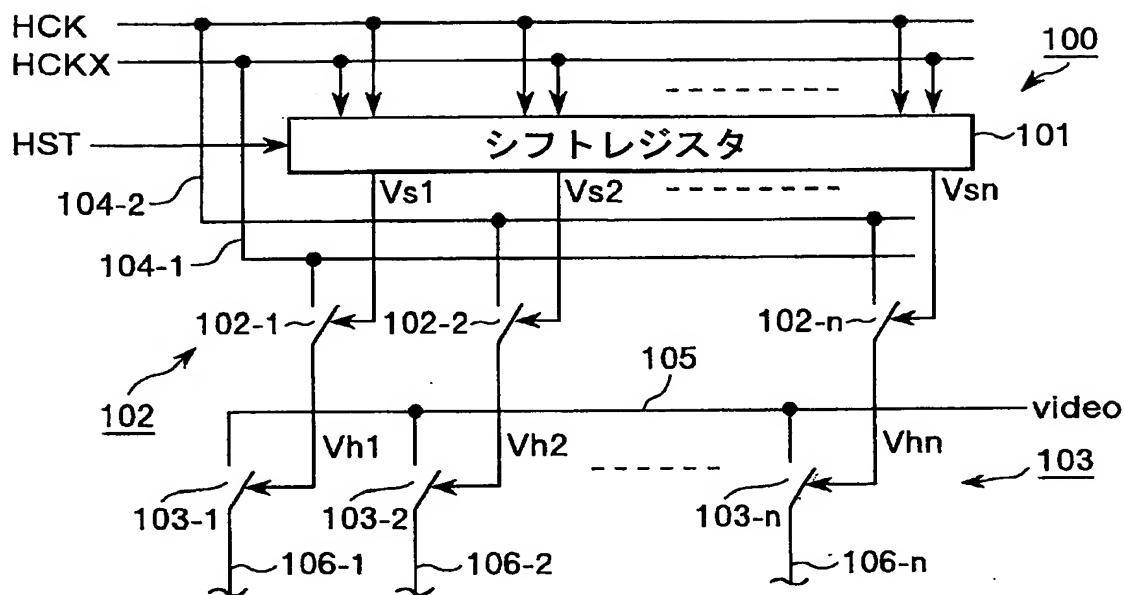
17/27

Fig. 18



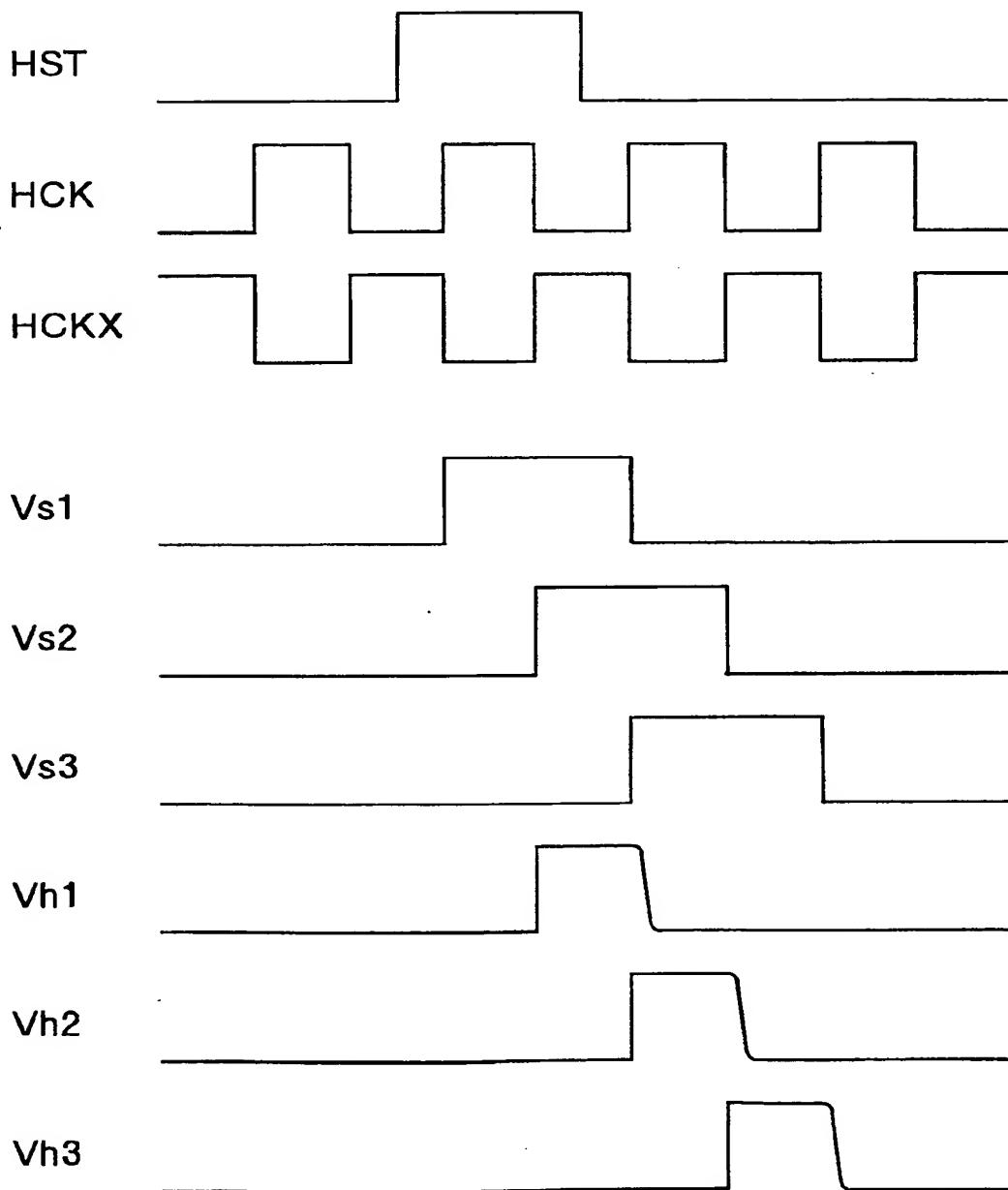
18/27

Fig.19



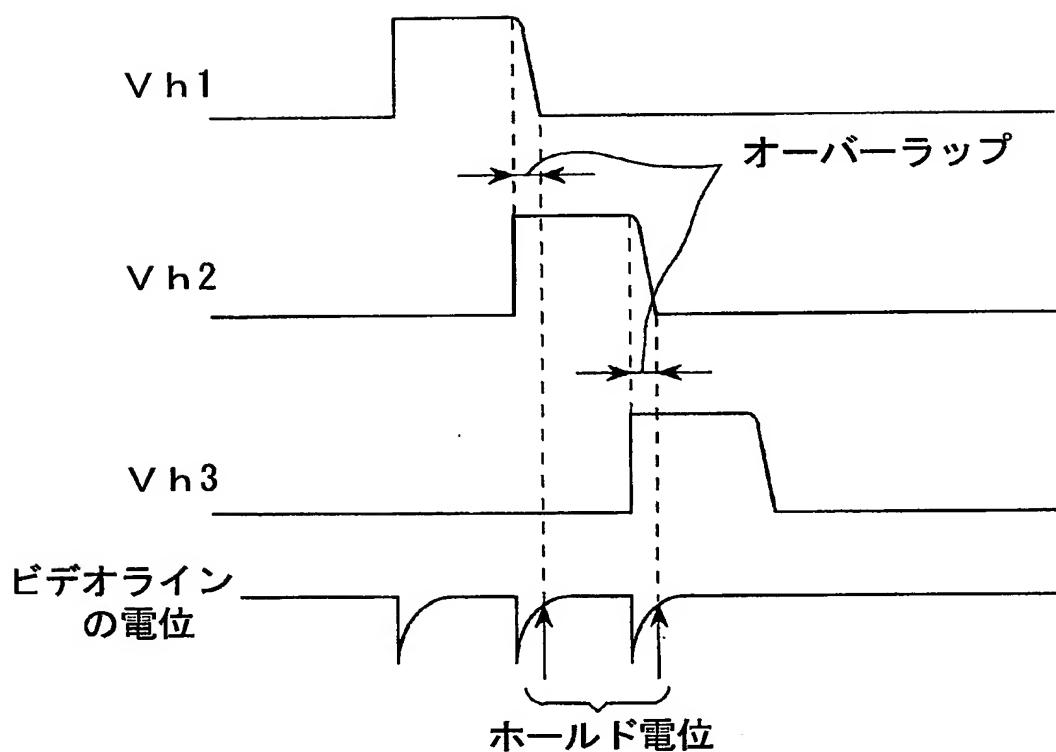
19/27

Fig.20



20/27

Fig.21



21/27

Fig.22

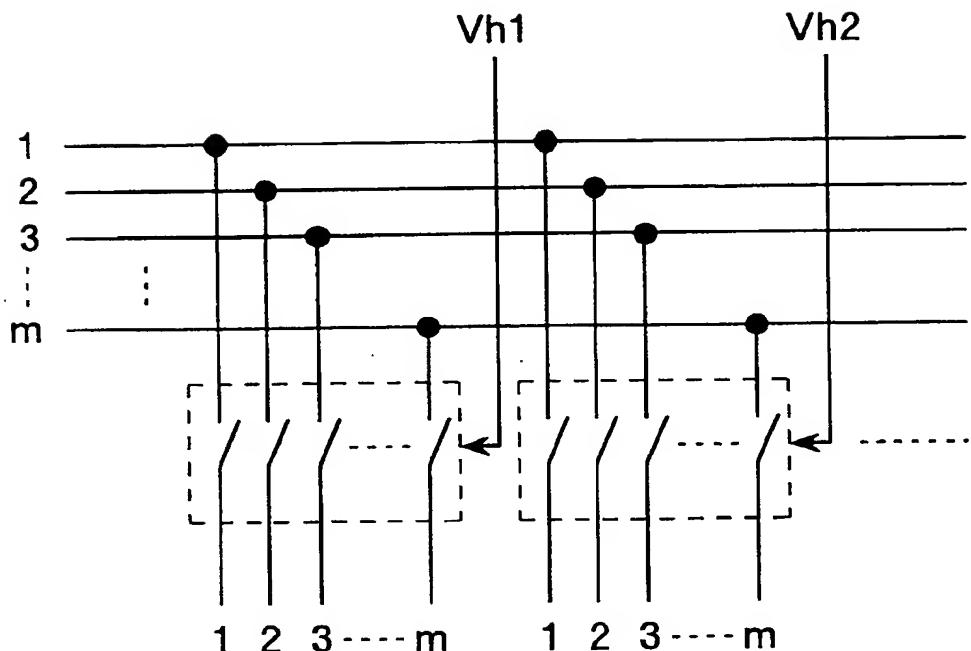
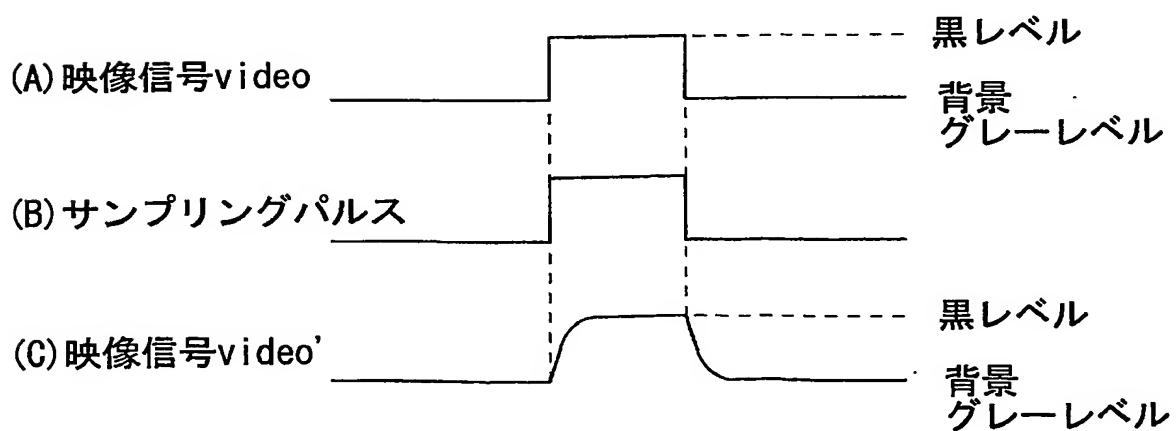


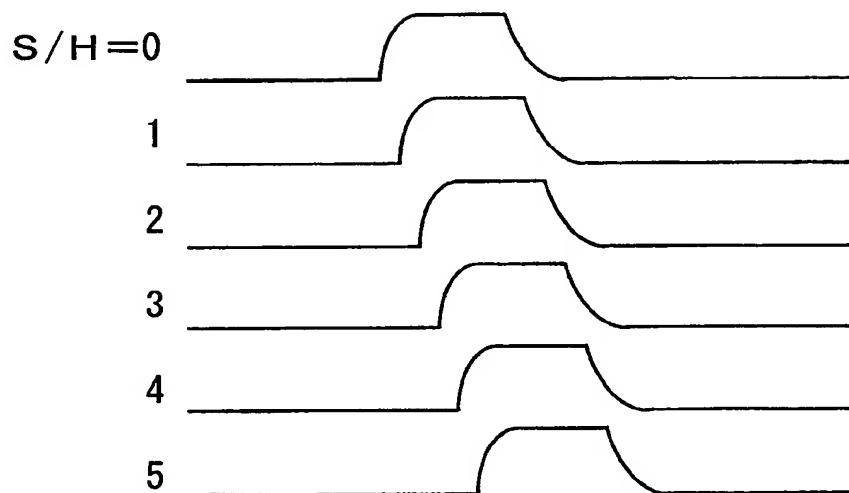
Fig.23



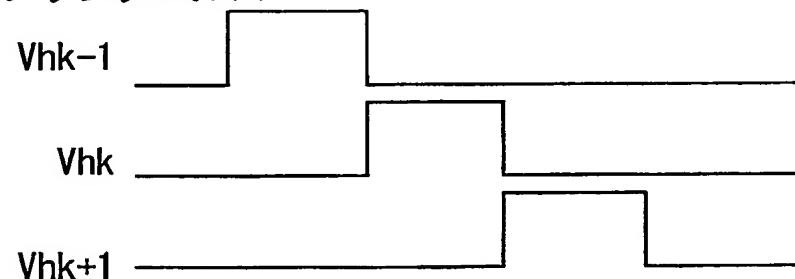
22/27

Fig.24

映像信号video



サンプリングパルス



23/27

Fig.25

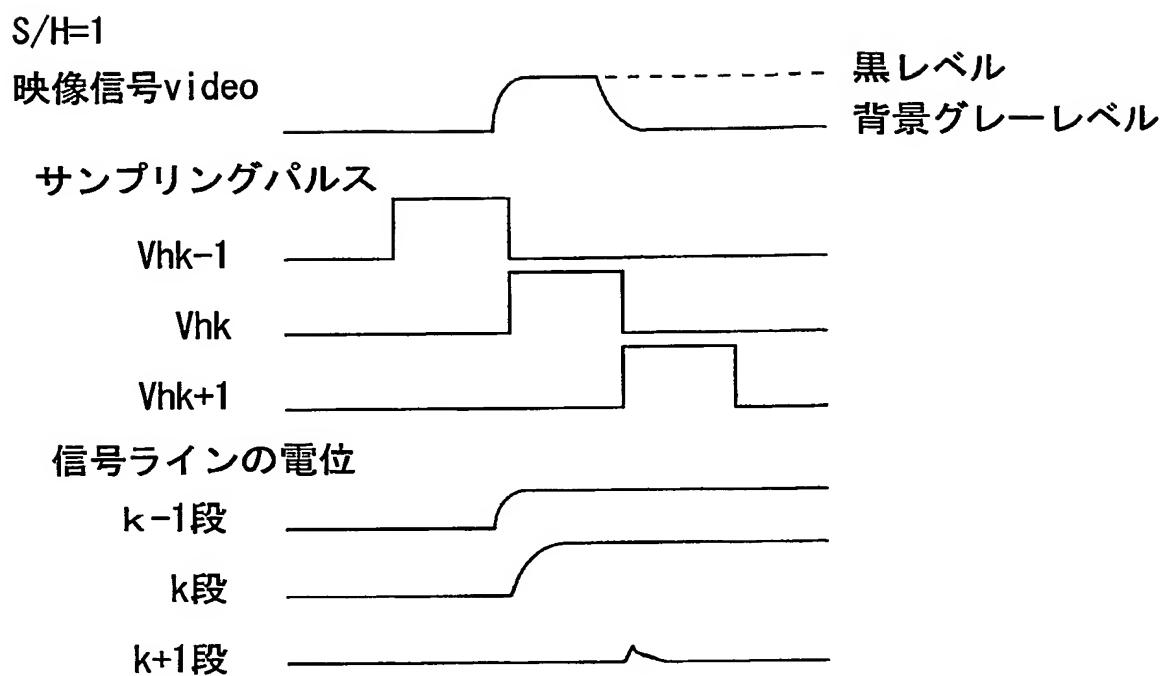
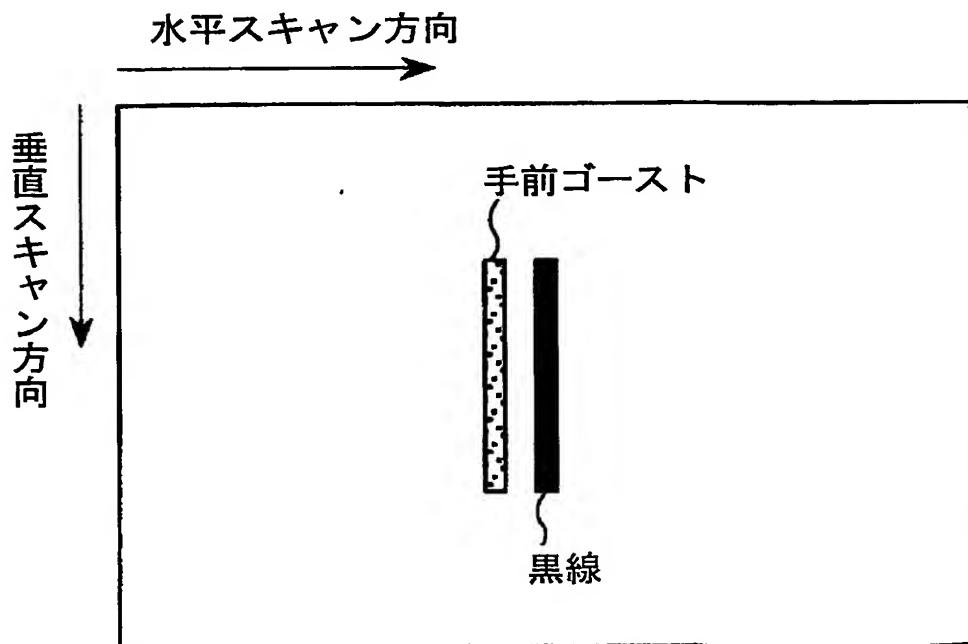


Fig.26



24/27

Fig.27

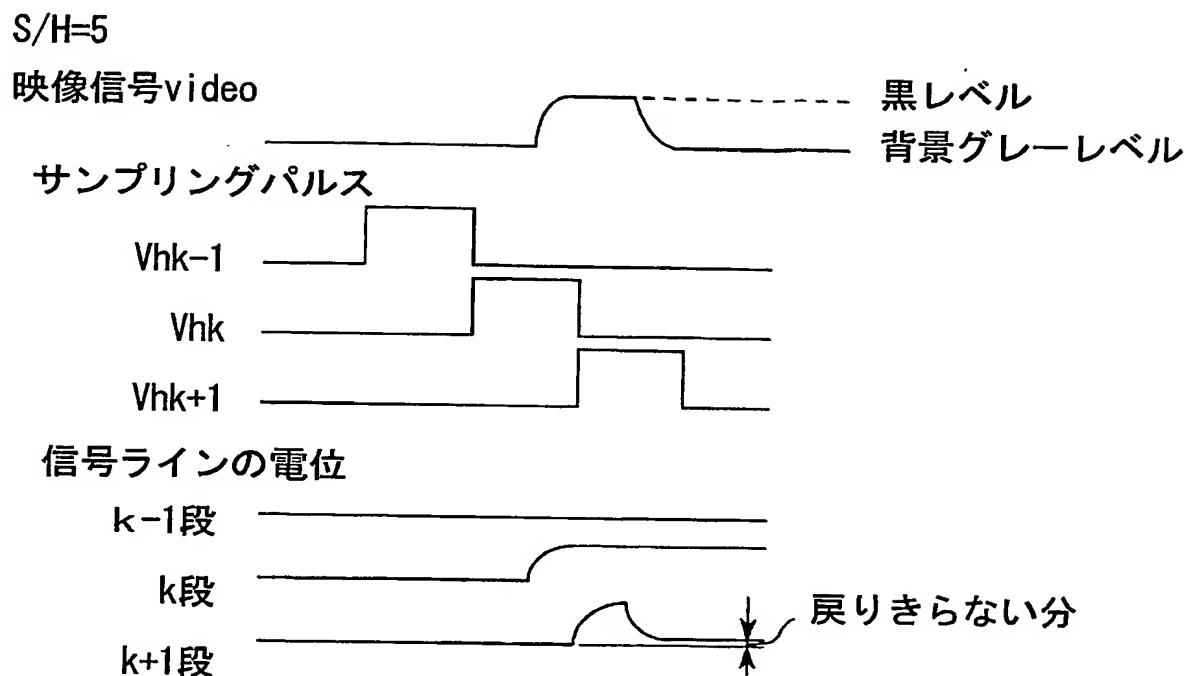
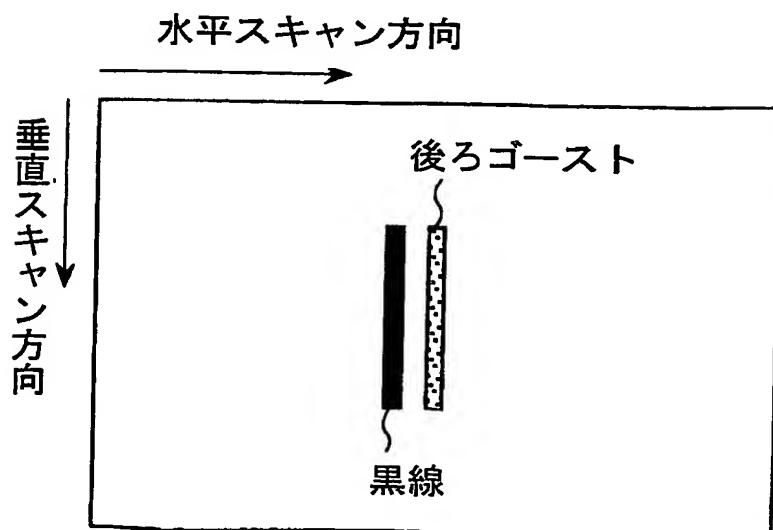
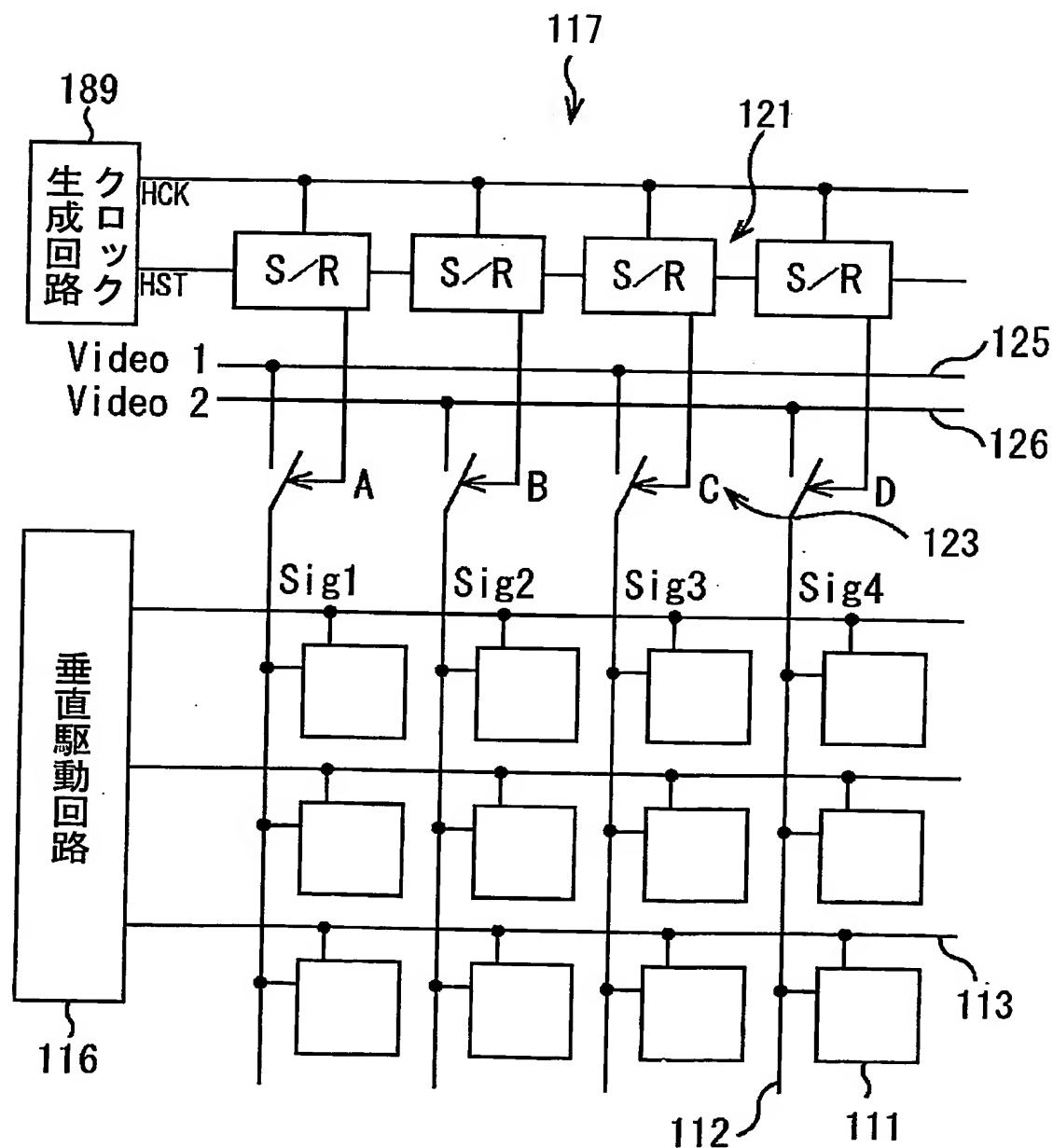


Fig.28



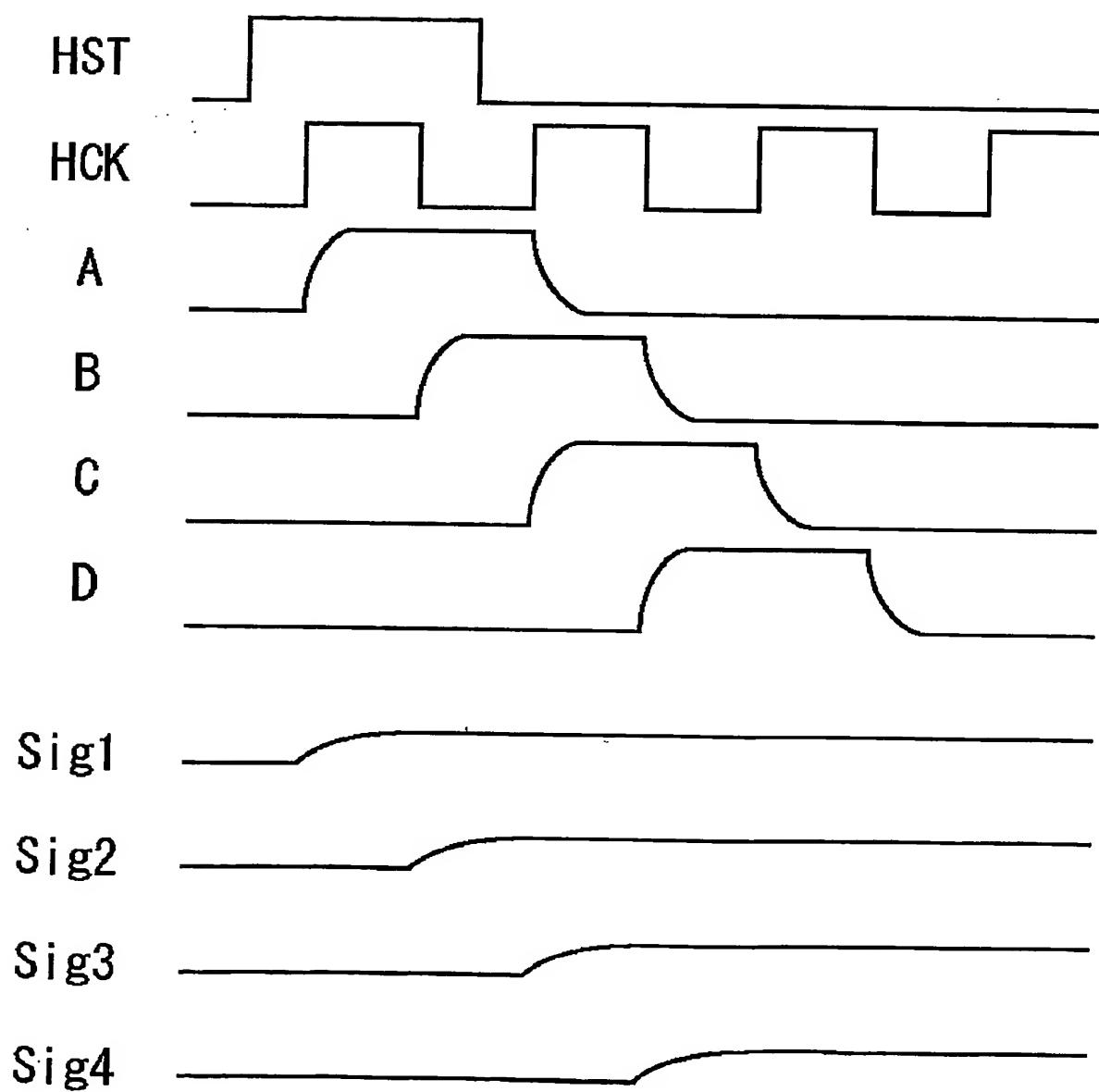
25/27

Fig.29



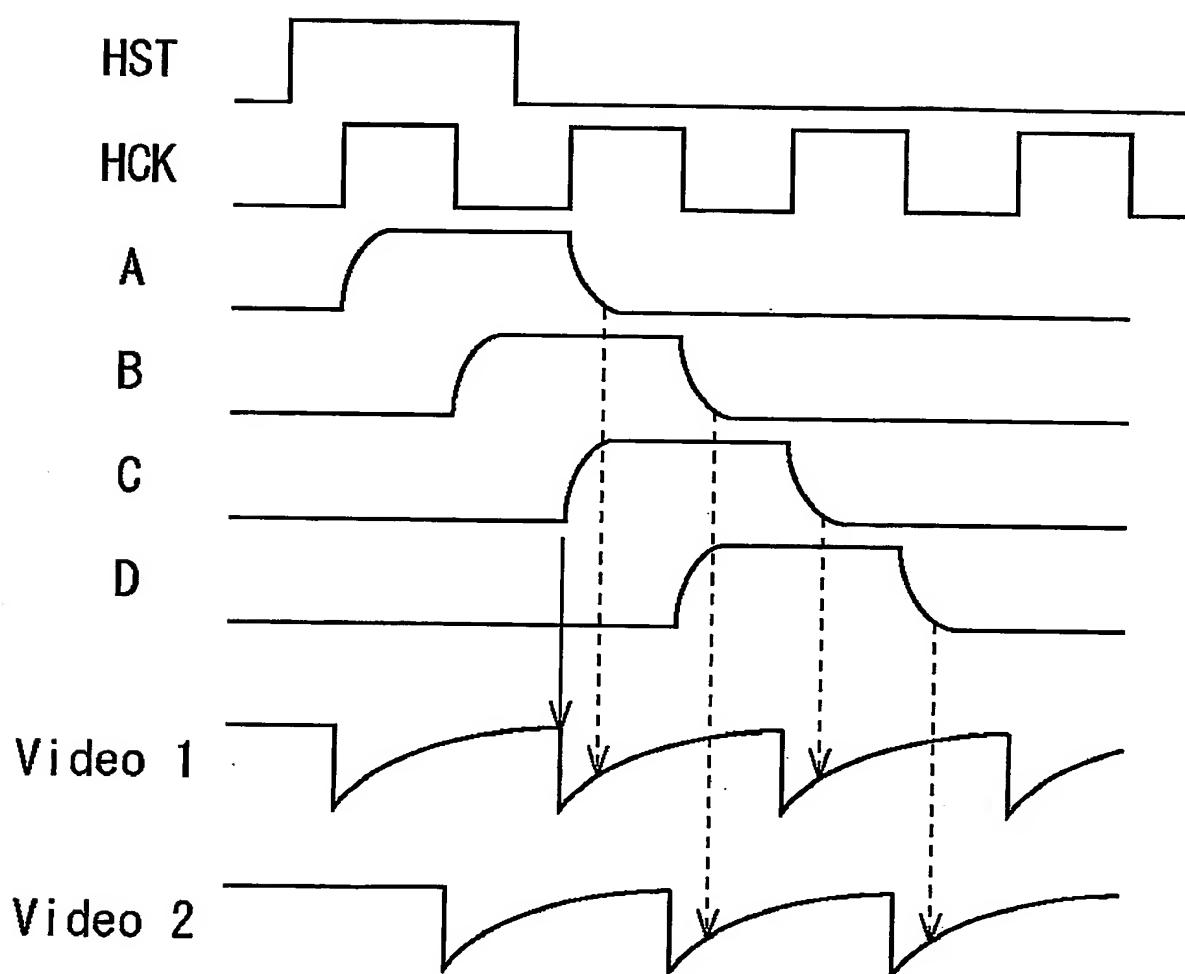
26/27

Fig.30



27/27

Fig.31



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/10757

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G09G3/36, G09G3/20, G02F1/133

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G09G3/36, G09G3/20, G02F1/133

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2003
 Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-267616 A (Sony Corp.), 29 September, 2000 (29.09.00), Full text; all drawings (Family: none)	5
Y	JP 11-65536 A (Seiko Epson Corp.), 09 March, 1999 (09.03.99), Par. Nos. [0069] to [0162]; Figs. 1 to 7 (Family: none)	5
A	JP 2001-215928 A (Seiko Epson Corp.), 10 August, 2001 (10.08.01), Full text; all drawings (Family: none)	1-10

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
---	--

Date of the actual completion of the international search
14 January, 2003 (14.01.03)Date of mailing of the international search report
28 January, 2003 (28.01.03)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/10757

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P,A	WO 01/97205 A1 (SONY CORP.), 20 December, 2001 (20.12.01), Full text; all drawings & JP 2002-72987 A Full text; all drawings & KR 2005421 A & NO 20020730 A	1-10

A. 発明の属する分野の分類（国際特許分類（IPC））

Int. Cl' G09G3/36, G09G3/20, G02F1/133

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. Cl' G09G3/36, G09G3/20, G02F1/133

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-2003年
日本国登録実用新案公報	1994-2003年
日本国実用新案登録公報	1996-2003年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-267616 A (ソニー株式会社) 2000. 09. 29, 全文, 全図 (ファミリーなし)	5
Y	JP 11-65536 A (セイコーエプソン株式会社) 1999. 03. 09, 段落番号【0069】-【0162】, 第1-7図 (ファミリーなし)	5
A	JP 2001-215928 A (セイコーエプソン株式会社) 2001. 08. 10, 全文, 全図 (ファミリーなし)	1-10

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

14. 01. 03

国際調査報告の発送日

28.01.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

鈴野 幹夫

2G 2905



電話番号 03-3581-1101 内線 3225

C(続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
P, A	WO 01/97205 A1 (SONY CORPORATION) 2001. 12. 20, 全文, 全図 & JP 2002-72987 A 全文, 全図 & KR 2005421 A & NO 20020730 A	1-10